



## 저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사 학위논문

**전하 트랩층에 고전도대 장벽층  
삽입을 통한 전하 트랩 플래시  
소자의 리텐션 특성 개선**

**Improvement of Retention in Charge Trap Flash by  
inserting High Conduction Band Barrier Layer into  
Charge Trap Layer**

2018년 8월

서울대학교 대학원

재료공학부 하이브리드재료 전공

전 석 민

## 초록

본 연구는 Charge Trap Flash Memory에서 Charge Trap Layer로 일반적으로 사용하고 있는 SiN에 SiN 대비 High Conduction Band Barrier를 가지는  $\text{Al}_2\text{O}_3$  층을 삽입하여 소자의 신뢰성을 개선하는 실험이다.

Charge Trap Flash에서 Charge Loss는 주로 Trap Site에 Trapping 되어있던 전자가 Conduction Band로 Thermal Excitation & Drift되어 Blocking Oxide 대비 상대적으로 얇은 Tunneling Oxide를 통해 발생하는데 본 실험에서는 Gate에 높은 전압이 가해지는 Program 동작 시에는 Tunnel Barrier Width를 최소화하여 Program 속도의 열화를 발생시키지 않고, Gate에 전압이 가해지지 않는 Retention 동작 시에는 Tunnel Barrier Width를 충분히 확보하여 Charge Loss를 개선하고자 하였다.

먼저 Tunneling Oxide를 통한 Charge Loss를 개선하기 위해 Charge Trap Nitride 내 Tunneling Oxide 방향으로 매우 얇은  $\text{Al}_2\text{O}_3$  층을 삽입한 결과 Retention 특성이 큰 폭으로 개선되었고, 우려하였던 Program 속도

열화는 약 100mV로 미미한 수준이었다.

추가로 SiN/Al<sub>2</sub>O<sub>3</sub>/SiN 평판 물성 분석 (TEM, TOF-SIMS)를 통해 후속 열처리에 따라 SiN/Al<sub>2</sub>O<sub>3</sub> 사이에서 새로운 Trap Level을 가지는 Mixed Phase가 발생하지 않는다는 것을 확인하였고, Charge Trap Nitride 내 Al<sub>2</sub>O<sub>3</sub> 층 삽입 위치에 따른 Retention 특성 평가를 통해 계획대로 Al<sub>2</sub>O<sub>3</sub>의 High Conduction Band Barrier에 의해 Thermal Excitation & Drift되어 Tunneling Oxide 방향으로 빠져나가는 전자를 억제한다는 것을 확인하였다.

본 연구를 통해 우리는 Charge Trap Nitride의 조성 변화 없이 간단히 매우 얇은 Al<sub>2</sub>O<sub>3</sub> 층 삽입만으로 Charge Trap Flash 소자의 Retention 특성 개선이 가능하다는 것을 보여주고 있다.

**주요어 : 비휘발성 메모리, 낸드플래시, Charge Trap Flash, Charge Trap Layer, Al<sub>2</sub>O<sub>3</sub>, 전도대, Program, Retention**

**학 번 : 2016-27832**

# 목차

초록 .....	i
목차 .....	iii
List of Figures .....	vii
List of Tables .....	xiii
<b>1. 서론</b> .....	<b>1</b>
<b>2. 문헌연구</b> .....	<b>7</b>
2.1 2D NAND Flash 의 Scaling 한계 .....	7
2.2 Charge Trap Flash 기반의 3D NAND Flash 등장 .....	17
2.3 Charge Trap Flash 의 Retention 특성 열화 원인 .....	22
2.4 Charge Trap Flash 의 Cycling Vt Shift (Endurance) 특성 열화 원인 .....	29

<b>3. 실험방법</b>	35
3.1 실험 설계	35
3.2 매우 얇은 $\text{Al}_2\text{O}_3$ 삽입 층 분석 기법	39
3.2.1 TEM 분석	39
3.2.2 TOF-SIMS 분석	43
3.3 Planar Charge Trap Flash 소자를 이용한 전기적 특성 평가 방법	47
3.3.1 Planar Charge Trap Flash 소자 구조	47
3.3.2 Program 특성 평가	50
3.3.3 Erase 특성 평가	54
3.3.4 Cycling $V_t$ Shift (Endurance) 특성 평가	57
3.3.5 Retention (@NCHTB) 특성 평가	59
3.3.6 Retention (@PCHTB) 특성 평가	61

<b>4. 실험결과</b>	63
4.1 매우 얇은 Al <sub>2</sub> O <sub>3</sub> 삽입 공정 Setup 결과	63
4.1.1 시료 정보	63
4.1.2 TEM 분석 결과	65
4.1.3 TOF-SIMS 분석 결과	67
4.2 Charge Trap Nitride 내 매우 얇은 Al <sub>2</sub> O <sub>3</sub> 삽입에 따른 전기적 특성 평가 결과	70
4.2.1 시료 정보	70
4.2.2 Program 특성 평가 결과	72
4.2.3 Erase 특성 평가 결과	75
4.2.4 Cycling Vt Shift (Endurance) 특성 평가 결과	78
4.2.5 Retention (@NCHTB) 특성 평가 결과	82
4.2.6 Retention (@PCHTB) 특성 평가 결과	86

4.3 Charge Trap Nitride 내 $\text{Al}_2\text{O}_3$ 삽입 위치에 따른	
Retention 특성 평가 .....	90
4.3.1 시료 정보 .....	90
4.3.2 Retention (@NCHTB) 특성 평가 결과 .....	92
4.3.3 Retention (@PCHTB) 특성 평가 결과 .....	98
 5. 결론 .....	 102
 6. 참고문헌 .....	 104
 Abstract .....	 111



## List of Figures

Figure 1-1. Floating Gate Flash와 Charge Trap Flash 비교 그림.

Figure 1-2. 2D NAND Flash와 3D NAND Flash 비교 그림.

Figure 2-1. SLC (Single Level Cell), MLC (Multi Level Cell), TLC (Triple Level Cell), QLC (Quadruple Level Cell) 구현을 위해 필요한 Cell Vt 분포 State 수.

Figure 2-2. Floating Gate 방식의 2D NAND Flash에서 하나의 Cell이 인접 Cell에 의해 받는 Cell to Cell Interference 종류.

Figure 2-3. Floating Gate 방식의 2D NAND Flash의 Coupling Ratio 산식.

Figure 2-4. Floating Gate 방식의 2D NAND Flash의 ISO Cut-View TEM 사진. Cell Scaling에 따른 Poly1 Space 감소로 Control Gate Poly Gap-fill Margin 감소.

Figure 2-5. Charge Trapping 방식의 3D NAND Flash Cell 제조 과정 모

식도 (Cut-View) (a) Oxide/Nitride 적층 (b) Dry Etch를 통한  
Hole Pattern 형성 (c) Hole Pattern 안으로 Gate Dielectric 형  
성 (d) Hole 주변에 Dry Etch를 통한 Line Pattern 형성  
(e) 인산 Wet Etch를 통한 Nitride Recess (f) Nitride가 빠져  
나간 영역으로 Gate 형성 (g) Dry Etch를 통한 W Recess로  
Cell to Cell Gate 분리 (h) 최종 3D NAND Flash Cell 3차원  
구조.

Figure 2-6. SONOS 소자의 Band diagram. Retention Mechanism 설명.

Figure 2-7. SONOS 소자에서 온도에 따른 Retention 특성.

Figure 2-8. SANOS 소자에서 Tunneling Oxide 두께에 따른 Cycling Vt  
Shift (Endurance) 특성.

Figure 2-9. SANOS 소자의 Band diagram. (a) Program 동작에 따른

HHG (Hot Hole Generation) (b) Erase 동작에 따른 HHG (Hot Hole Generation).

Figure 3-1. MONOS 소자의 Band diagram. Charge Trap Nitride 내 High Conduction Band Barrier를 가지는  $\text{Al}_2\text{O}_3$  층 삽입을 통한 Retention 개선 실험 계획.

Figure 3-2. TEM 분석 관련 (a) TEM 장비 사진. (b) 분석 원리.

Figure 3-3. TOF-SIMS 분석 관련 (a) SIMS 장비 사진. (b) 분석 원리.  
(c) Ion Sputtering,

Figure 3-4. MONOS 소자 제조 과정. (a) Channel Vt Implantation  
(b) N+ Source/Drain Formation (c) TEOS Deposition & Etch  
(d) Gate Dielectric Deposition (e) Gate Formation 1 (TiN/W Deposition) (f) Gate Formation 2 (Gate Etch)

Figure 3-5. MA(O)NOS 소자의 Program 동작. (a) 소자 모식도 (b) Band diagram.

Figure 3-6. SIS 소자의 Band diagram. Fowler-Nordheim Tunneling 설명.

Figure 3-7. MA(O)NOS 소자의 Erase 동작. (a) 소자 모식도 (b) Band diagram.

Figure 4-1. TEM 분석 사진.

Figure 4-2. TOF-SIMS 분석 Depth Profile. (a) SiN 분자에 대한 Depth Profile (b) Al 원자에 대한 Depth Profile (c) O 원자에 대한 Depth Profile.

Figure 4-3. MONOS 소자를 이용한 Program 특성 평가 결과 그래프. Step Pulse Program (Gate Bias 16~26V, Pulse Width 20us).

Figure 4-4. MONOS 소자를 이용한 Erase 특성 평가 결과 그래프. Program  $V_t$  3.5V Verify + Step Pulse Erase (p-Substrate Bias 13~20V, Pulse Width 800us).

Figure 4-5. MONOS 소자를 이용한 Cycling  $V_t$  Shift 특성 평가 결과 그래프. P/E Cycling 0/1/10/50/100/200/500/1000/2000/3000회 진행 후 Erase  $V_t$  변화 확인.

Figure 4-6. MONOS 소자를 이용한 PCHTB (Post Cycling Hot

Temperature Bake) 특성 평가 결과 그래프. P/E Cycling  
3000회 + Program Vt 3.5V Verify + 125C 10hr Bake 후  
Program Vt 변화 확인.

Figure 4-7. Charge Trap Nitride 내  $\text{Al}_2\text{O}_3$  삽입 위치에 따른 Retention  
특성 평가 실험 계획. (a) ‘Tunneling Oxide 방향’ 로  $\text{Al}_2\text{O}_3$   
삽입 (b) Center에  $\text{Al}_2\text{O}_3$  삽입 (c) ‘Blocking Oxide 방향’ 로  
 $\text{Al}_2\text{O}_3$  삽입.

Figure 4-8. Charge Trap Nitride 내  $\text{Al}_2\text{O}_3$  삽입 위치에 따른 Retention  
특성 평가 실험 계획. (a) ‘Tunneling Oxide 방향’ 로  $\text{Al}_2\text{O}_3$   
삽입 (b) Center에  $\text{Al}_2\text{O}_3$  삽입 (c) ‘Blocking Oxide 방향’ 로  
 $\text{Al}_2\text{O}_3$  삽입.

Figure 4-9. MONOS 소자를 이용한 NCHTB (No Cycling Hot  
Temperature Bake) 특성 평가 결과 그래프. P/E Cycling 0회

+ Program Vt 3.5V Verify + 125C 10hr Bake 후 Program Vt 변화 확인.

Figure 4-10. MONOS 소자를 이용한 PCHTB (Post Cycling Hot Temperature Bake) 특성 평가 결과 그래프. P/E Cycling 3000회 + Program Vt 3.5V Verify + 125C 10hr Bake 후 Program Vt 변화 확인.

## List of Tables

Table 4-1. 평판 물성 평가 Split Table.

Table 4-2. Charge Trap Nitride 내 High Conduction Band Barrier를  
가지는  $\text{Al}_2\text{O}_3$  층 삽입에 따른 Retention 특성 개선 실험  
Split Table.

Table 4-3. Program 특성 평가 결과 수치 Table.

Table 4-4. Erase 특성 평가 결과 수치 Table.

Table 4-5. Cycling Vt Shift (Endurance) 특성 평가 결과 수치 Table.

Table 4-6. NCHTB (No Cycling Hot Temperature Bake) 특성 평가 결과  
수치 Table.

Table 4-7. PCHTB (Posy Cycling Hot Temperature Bake) 특성 평가 결과  
수치 Table.

Table 4-8. Charge Trap Nitride 내  $\text{Al}_2\text{O}_3$  삽입 위치에 따른 Retention

특성 평가 실험 Split Table.

Table 4-9. NCHTB (No Cycling Hot Temperature Bake) 특성 평가 결과

수치 Table.

Table 4-10. PCHTB (Post Cycling Hot Temperature Bake) 특성 평가

결과 수치 Table.



## 1. 서론

Flash Memory는 전원을 끄면 저장된 정보가 사라지는 DRAM이나 SRAM과는 달리 전원이 꺼져도 저장된 정보가 사라지지 않는 Non-volatile Memory이다. 소비전력이 작고, 전원이 꺼지더라도 저장된 정보가 사라지지 않은 채 유지되는 특성을 지닌다. 전원 공급이 중단되어도 저장된 정보를 그대로 보존할 수 있는 ROM의 장점뿐 아니라 정보의 입출력이 자유롭다는 RAM의 장점을 동시에 지니고 있다. 뿐만 아니라 속도가 빠르고 전력 소모가 적다는 점 역시 장점이다. Flash Memory는 내부 방식에 따라 크게 저장용량이 큰 NAND Flash와 처리속도가 빠른 노어 NOR Flash 2가지로 분류된다. NAND Flash는 고집적이 가능하며 하드디스크를 대체할 수 있어 고집적 음성이나 화상 등의 저장용으로 많이 쓰이며 일정량의 정보를 저장해두고 작업해야 하는 휴대용 기기에도 적합하다. 가격 역시 NOR Flash에 비해 저렴하다. NOR Flash는 대용량의 정보 저장은 어렵지만 읽기 속도가 빠르고 데이터의 안정성이

확보된다는 장점이 있다 [1].

NAND Flash는 [Figure 1-1]과 같이 전자를 저장하는 방식에 따라 Floating Gate 방식과 Charge Trapping 방식으로 나눌 수 있다. 먼저 Floating Gate 방식은 N-type Poly Silicon에 전자를 저장하며, Charge Trapping 방식은 Silicon Nitride의 Trap Site에 전자를 저장한다. 일반적으로 우리가 말하는 NAND Flash Memory는 2D (Planar) NAND Flash로 Charge Trapping 방식 대비 여러 장점들 때문에 Floating Gate 방식을 채택해왔다. Charge Trapping 방식의 Flash Memory는 오래 전부터 연구되어 왔지만, 최근 2D NAND Flash의 Scaling 한계 (Cell 간 Interference 증가/1 Cell에 저장할 수 있는 전자 수 감소)에 따른 3D NAND Flash의 개발이 본격화되면서 매우 활발히 연구되고 있다.

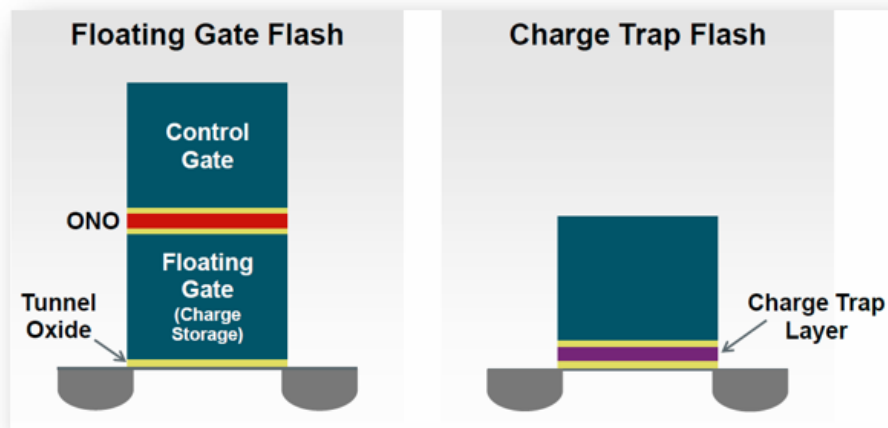


Figure 1-1. Floating Gate Flash와 Charge Trap Flash 비교 그림.

3D (Vertical) NAND Flash 란, [Figure 1-2]와 같이 2D NAND Flash의 Scaling 한계를 극복하기 위해 Cell을 수직 방향 적층하여 형성하는 차세대 NAND Flash이다. 3D NAND Flash는 수직 방향의 적층으로 이루어진 Cell 간 Storage Layer를 서로 분리할 수 없기 때문에 전자를 강제로 Trap Site에 Trapping 시키는 Charge Trapping 방식을 사용할 수밖에 없다. 물론 Floating Gate 방식으로 3D NAND Flash를 구현하는 것이 전혀 불가능하다고 단정 지을 수는 없지만, 그 만큼 고 난이도의 공정 기술이 필요하고 그에 따른 공정 수의 증가로 인해 제조원가 측면에서 매우 불리하다는 것이 반도체 제조업계의 중론이다.

하지만 Charge Trapping 방식을 사용함에도 불구하고 Cell간 Storage Layer가 서로 연결되어 있기 때문에 Vertical 방향의 Charge Loss만 고려하던 2D NAND Flash와 달리 3D NAND Flash는 Lateral 방향의 Charge Loss까지 고려하여야 한다. 그렇기 때문에 Charge Trap Flash Memory

전반적으로 신뢰성 개선 방법에 대한 연구가 필요한 상황이다 [6].

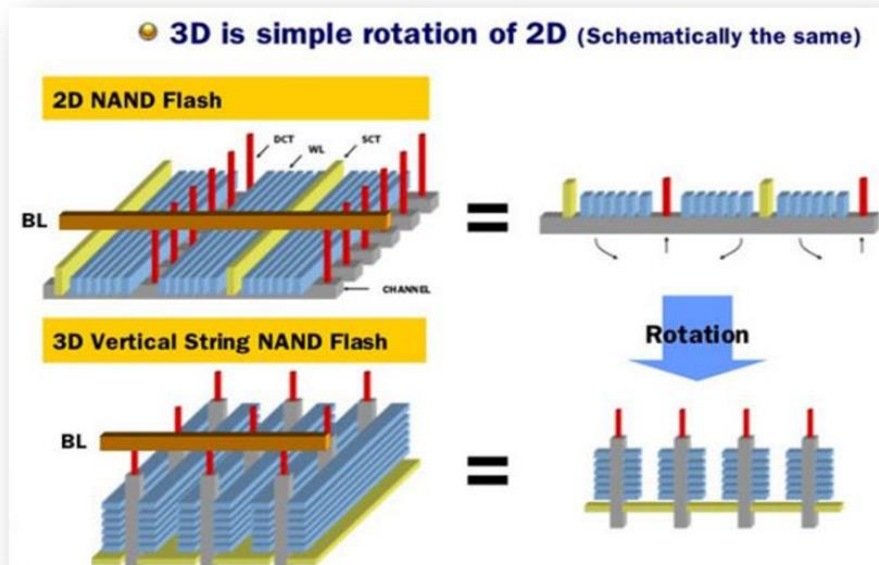


Figure 1-2. 2D NAND Flash와 3D NAND Flash 비교 그림.

Charge Trap Flash는 일반적으로 얇은 Tunneling Oxide 방향으로 Charge Loss가 발생한다. 그리고 주로 Charge Trap Layer의 Trap Site에 Trapping 되어있던 전자가 Conduction Band로 Thermal Excitation 된 후 Tunneling Oxide 방향으로 Drift되어 빠져나간다 [7].

본 연구에서는 Charge Trap Nitride에 SiN 보다 High Conduction Band Barrier를 가지는 매우 얇은  $\text{Al}_2\text{O}_3$  층을 삽입하여 Gate에 높은 전압이 가해지는 Program Mode에서는  $\text{Al}_2\text{O}_3$  층의 Tunnel Barrier Width를 최소화하여 Program 속도 열화를 일으키지 않고 Gate에 전압이 가해지지 않는 Retention Mode에서는 Tunnel Barrier Width를 충분히 확보하여 Charge Loss를 억제하는 것이 가능하다는 결과를 통해 Charge Trapping 방식을 채택하고 있는 3D NAND Flash의 Retention 특성 개선을 위한 새로운 방향을 제시하고자 한다.

## 2. 문헌연구

### 2.1 2D NAND Flash의 Scaling 한계

NAND Flash Memory는 대표적인 Non-volatile Memory로 하나의 Chip에 얼마나 많은 양의 Data를 저장할 수 있는지는 가장 중요한 특성 중 하나이다. 물론 Chip Size를 크게 가져가면서 큰 용량의 NAND Flash를 만드는 것은 어렵지 않겠지만 이는 하나의 Wafer 내에서 생산할 수 있는 Chip의 개수를 감소시키기 때문에 Wafer에서 Chip을 생산하여 얻을 수 있는 수익성 측면에서 전혀 의미가 없다. 그렇기 때문에 2D NAND Flash는 일반적으로 Cell Size Scaling을 통해 기존 제품과 동일한 Chip Size에서 더 큰 용량을 가지는 Chip을 개발하거나, 기존 제품과 동일한 용량을 가지는 더 작은 Chip을 개발하여 수익성을 향상시켜왔다.

하지만, 최근 2D NAND Flash는 Cell의 Gate Length 및 Cell to Cell Space를

20nm 이하까지 Scaling 하게 되면서 아래와 같은 물리적인 한계에 부딪혀 더 이상은 이를 극복할 수 없는 상태에 이르게 되었다.

## **1. Floating Gate Scaling에 따른 하나의 Cell에 저장 가능한 전자 수 감소**

2D NAND Flash는 Floating Gate라고 하는 N-type Poly-Si에 전자를 저장하는 방식으로 Data를 저장한다. 최근 Cell Size Scaling에 따라 Floating Gate 영역이 극한으로 줄어들게 되어 1Cell의 Floating Gate에 저장 가능한 전자의 수가 극한으로 감소하게 되었고, 이러한 전자 수 감소는 Cell의  $V_t$  분포 형성 및 유지에 큰 문제를 발생시키게 된다.

먼저 Floating Gate에 저장 가능한 전자의 수가 극한으로 줄어들게 되면 [Figure 2-1]과 같이 MLC (Multi Level Cell), TLC (Triple Level Cell) 뿐만 아니라 현재 활발히 연구되고 있는 QLC (Quadruple Level Cell) 구현을 위해 한정된 Memory Window에서 여러 개의  $V_t$  상태를 형성하는 것이



매우 힘들고, 설령 구현하였다고 하더라도 전자 1개 당 움직이는  $V_t$ 가 매우 크기 때문에 이를 유지하기는 거의 불가능하다 [8].

Floating Gate에 저장된 전자가 전원이 꺼졌을 때 얼마나 잘 유지되는지를 확인하는 Retention 특성을 예로 들어보자. Floating Gate에 100개의 전자가 저장 가능한 경우 1개의 전자를 잃게 되더라도 1/100만큼의 매우 작은  $V_t$  손실만 발생하지만, Floating Gate에 10개의 전자가 저장 가능한 경우 1개의 전자를 잃게 되면 1/10만큼의 매우 큰  $V_t$  손실이 발생하게 되어 신뢰성 불량을 유발하게 된다.

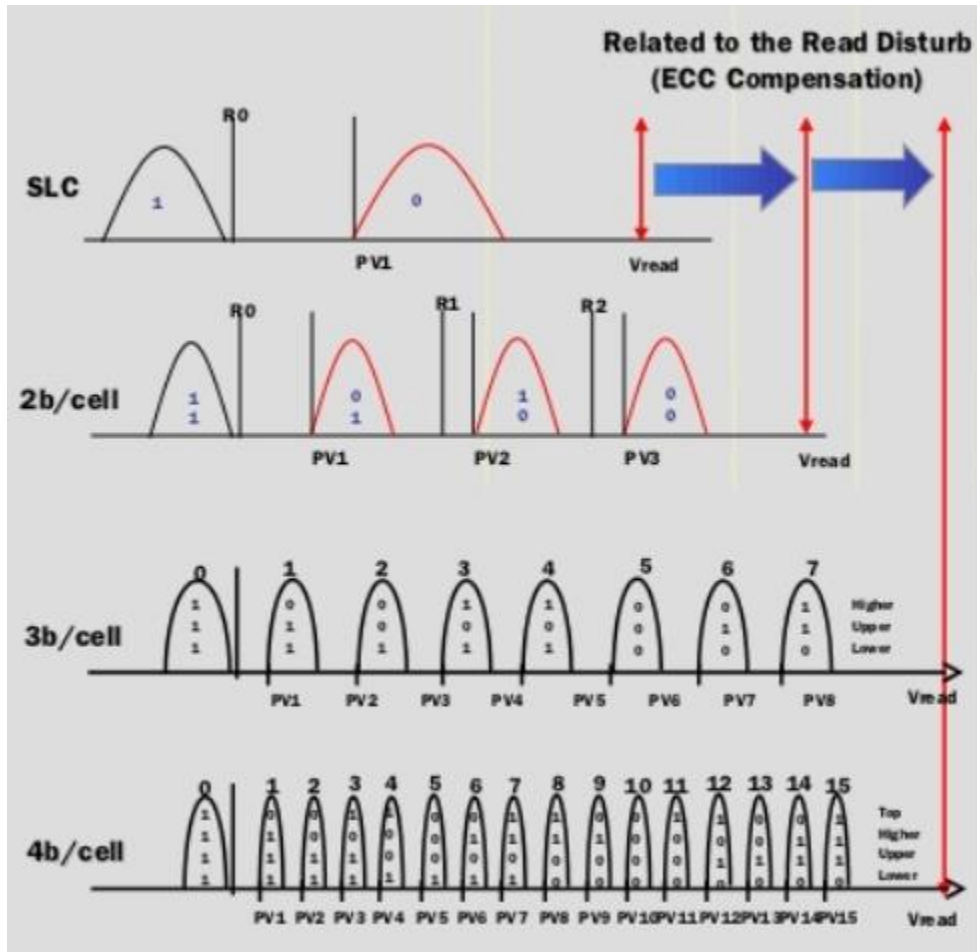


Figure 2-1. SLC (Single Level Cell), MLC (Multi Level Cell), TLC (Triple Level Cell), QLC (Quadruple Level Cell) 구현을 위해 필요한 Cell Vt 분포 State 수.

## 2. Cell to Cell Space Scaling에 따른 Cell to Cell Interference 증가

2D NAND Flash는 Cell 간 전기적으로 분리를 위해 Cell과 Cell 사이를 Patterning 후 사이 공간을 절연막으로 채워준다. 그렇기 때문에 선택된 Word Line에 전압을 가하였을 때 선택되지 않은 Word Line은 전기적으로 전혀 영향을 받지 않게 된다.

하지만 최근 Cell to Cell Space를 극한으로 Scaling하게 되면서 선택된 Word Line에 전압을 가하였을 때 [Figure 2-2]와 같이 선택되지 않은 인접 Cell에 전압이 전달되는 Interference 증가로 인한 불량률이 극복할 수 없는 수준으로 발생하고 있다. 예를 들면 선택된 Word Line에 인접한 선택되지 않은 Cell이 Program 되는 문제 또는 이미 원하는  $V_t$ 로 Program을 시켜 놓은 Cell이 인접 Word Line에 전압이 가해질 경우 원하는 것보다  $V_t$ 가 증가하여  $V_t$  분포가 열화 되는 문제가 심각한 수준으로 발생되고 있다 [2]~[5].

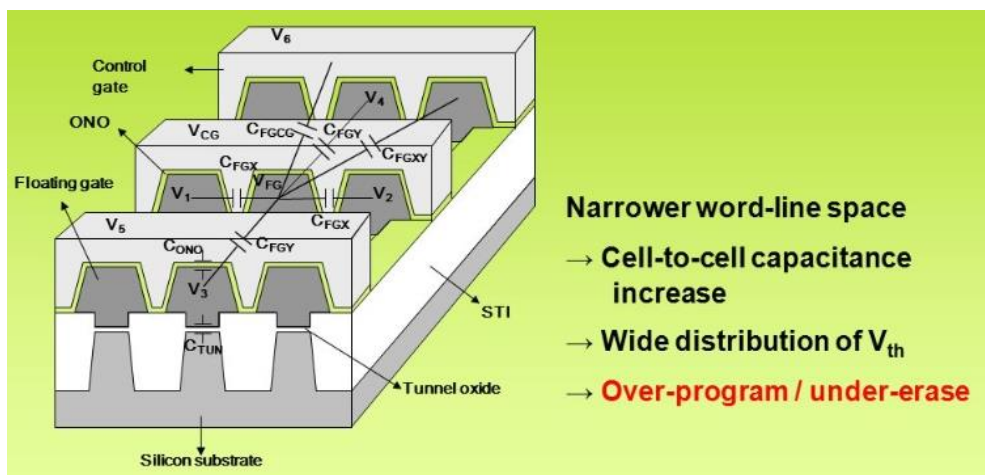


Figure 2-2. Floating Gate 방식의 2D NAND Flash에서 하나의 Cell이

인접 Cell에 의해 받는 Cell to Cell Interference 종류.

### 3. Tunneling Oxide 및 ONO Dielectric 두께 Scaling에 따른 소자

#### 신뢰성 열화

Floating Gate에 전자를 저장하는 2D NAND Flash에서 Tunneling Oxide와 ONO Dielectric은 소자 신뢰성 측면에서 매우 중요하다. Floating Gate는 일반적으로 N-type Poly-Si으로 전자가 들어갔을 때 주변을 Tunneling Oxide와 ONO Dielectric으로 Isolation 시키지 않으면 저장된 Data를 유지하기가 힘들다.

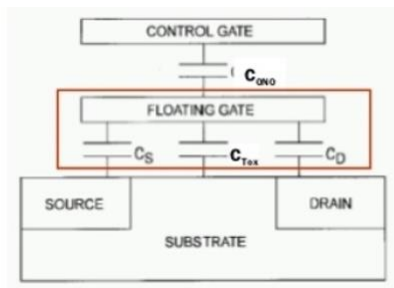
하지만 Tunneling Oxide는 FN Tunneling을 통해 전자가 이동하는 관문과 같은 역할을 하기 때문에 Program 속도 향상을 위해 두께를 Scaling을 할 수밖에 없다. Cell Size Scaling에 따른 Cell to Cell Interference 개선을 위해 Program 전압을 감소시켜야 하기 때문이다.

또한, ONO Dielectric은 Floating Gate에서 전자가 빠져나가지 못하게 하면서 Coupling Ratio를 결정하는 역할을 한다. Coupling Ratio란 Control Gate에 가해진 전압이 Floating Gate에 얼마나 전달되는지를 결정하는

요소로 [Figure 2-3]의 산식에서 볼 수 있듯이 ONO의 Capacitance가 클수록 증가하게 된다. ONO의 Capacitance는 ONO의 면적이 증가할수록, ONO의 두께가 감소할수록 커지게 되는데 Cell Size Scaling에 따라 ONO 면적이 감소할 수밖에 없기 때문에 Coupling Ratio 확보를 위해 ONO의 두께를 필연적으로 줄여야 하는 상황이다.

추가적으로 [Figure 2-4]와 같이 Cell Size Scaling에 따라 ISO 방향의 Floating Gate to Floating Gate Space도 감소하게 되면서 Control Gate Poly-Si Gap-fill 문제가 발생하여 더욱 더 ONO 두께를 감소시킬 필요가 있다.

Cell Size Scaling에 따라 위와 같은 문제들을 해결하기 위해 Tunneling Oxide와 ONO Dielectric 두께를 감소시킬 수밖에 없게 되어 신뢰성 열화가 불가피하게 되었고, 이는 극단적인 Scaling이 요구되는 최근에 들어서 더 이상 극복할 수 없게 상황에 이르렀다 [2]~[5].



$$\text{Coupling Ratio} = \frac{C_{ONO}}{C_{TOX} + C_{ONO}}$$

Figure 2-3. Floating Gate 방식의 2D NAND Flash의 Coupling Ratio 산

식.

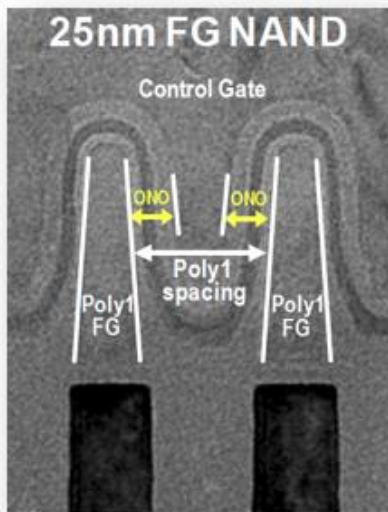


Figure 2-4. Floating Gate 방식의 2D NAND Flash의 ISO Cut-View TEM 사진. Cell Scaling에 따른 Poly1 Space 감소로 Control Gate Poly Gap-fill Margin 감소.



## 2.2 Charge Trap Flash 기반의 3D NAND Flash 등장

2.1에서의 2D NAND Flash의 Scaling 한계를 극복하기 위해 [Figure 2-5]와 같이 Cell을 수직방향으로 적층하여 형성하는 3D NAND Flash가 등장하였다.

3D NAND Flash는 [Figure 2-5]의 (a) 와 같이 형성하려는 Cell의 수만큼 Oxide/Nitride 층을 적층하고 [Figure 2-5]의 (b) 와 같이 Dry Etch를 통해 Hole을 형성해 준다.

Hole 내부로 [Figure 2-5]의 (c) 와 같이 Gate Dielectric (Blocking Oxide → Charge Trap Nitride → Tunneling Oxide)을 순서대로 형성한다. Floating Gate Flash 기반의 2D NAND Flash와 달리 3D NAND Flash는 Hole 내부로 Cell간 Storage Layer가 연결되기 때문에 Trap Site에 전자를 Trapping 시켜 저장하는 Charge Trap Flash를 기반으로 개발되었다.

ONO Dielectric을 형성한 후 나머지 공간은 Oxide로 채워 주게 되고

[Figure 2-5]의 (d) 와 같이 Wet Etch로 Nitride를 제거하기 위해 Dry Etch를 통해 Line Type의 Pattern을 형성해 준다.

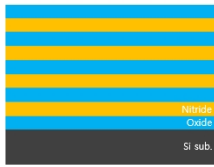
[Figure 2-5]의 (e) 와 같이 인산 Wet Etch를 진행해 Nitride를 제거해준 후 [Figure 2-5]의 (f), (g) 와 같이 Nitride가 있던 자리에 TiN/W을 채우고 Word Line간 W을 분리시켜 줌으로써 MONOS 구조의 Cell을 형성하게 된다.

3D NAND Flash는 Cell Size Scaling을 통해 직접도를 증가시키는 2D NAND Flash와 다르게 Oxide/Nitride 적층 수를 늘려서 직접도를 증가시키기 때문에 Nitride의 두께에 따라 충분한 Storage Layer 영역을 확보할 수 있어 하나의 Cell에 저장 가능한 전자 수를 충분히 확보할 수 있다. 그리고 적층하는 Oxide의 두께에 따라 Cell to Cell Space가 결정되기 때문에 충분한 Cell to Cell Space 확보가 가능하여 극한의 Space Scaling에 따른 Cell to Cell Interference에서 자유롭다.

하지만, [Figure 2-5]의 (h)와 같이 Charge Trap Nitride가 Cell간에 연결되어

있기 때문에 Vertical 방향의 Charge Loss만 고려하면 되었던 2D NAND Flash와 다르게 Lateral 방향의 Charge Loss까지 고려하여야 하기 때문에 신뢰성 측면에서 또 다른 고민이 필요하다 [6].

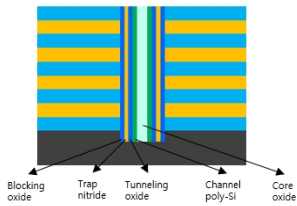
(a) Oxide/Nitride stack deposition



(b) Hole type etch



(c) Dielectric deposition



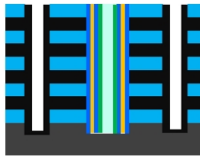
(d) Line type etch



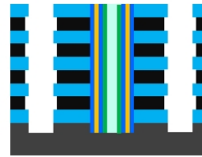
(e) Nitride recess



(f) W deposition



(g) W recess



(h) 최종 3D NAND Flash Cell 3차원 구조

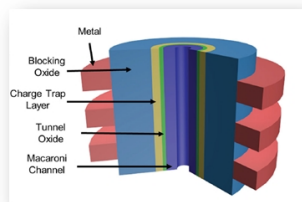


Figure 2-5. Charge Trapping 방식의 3D NAND Flash Cell 제조 과정 모

식도 (Cut-View) (a) Oxide/Nitride 적층 (b) Dry Etch를 통한

Hole Pattern 형성 (c) Hole Pattern 안으로 Gate Dielectric 형성 (d) Hole 주변에 Dry Etch를 통한 Line Pattern 형성 (e) 인산 Wet Etch를 통한 Nitride Recess (f) Nitride가 빠져나간 영역으로 Gate 형성 (g) Dry Etch를 통한 W Recess로 Cell to Cell Gate 분리 (h) 최종 3D NAND Flash Cell 3차원 구조.

## 2.3 Charge Trap Flash의 Retention 특성 열화 원인

Retention 특성은 Program 동작을 통해 Charge Trap Nitride에 저장된 전자가 얼마나 잘 보존되는 지를 확인하는 신뢰성 평가 방법으로 전원을 제거하여도 저장된 Data가 지워지지 않는 Non-volatile Memory 인 NAND Flash에서 매우 중요한 특성이다.

Retention 특성이 열화 될 경우 Cell Vt 분포 Variation이 커지기 때문에 MLC (Multi Level Cell), TLC (Triple Level Cell) 를 넘어 QLC (Quadruple Level Cell) 기술 개발관련 연구가 활발히 진행되고 있는 최근 더욱 더 그 중요성이 대두되고 있다.

Retention 특성 평가 방법에는 크게 NCHTB와 PCHTB로 나눌 수 있다. 먼저 NCHTB는 No Cycling Hot Temperature Bake로 Program/Erase를 전혀 진행하지 않은 Fresh한 소자에 저장시킨 전자가 얼마나 잘 보존되는지를 확인하는 평가 방법이다. 다음으로 PCHTB는 Post Cycling Hot Temperature

Bake로 Program/Erase를 수 차례 반복적으로 진행한 소자에 저장시킨 전자가 얼마나 잘 보존되는지를 확인하는 평가 방법이다. 이렇게 Retention 특성 평가를 위와 같이 2가지 방식으로 진행하는 이유는 실제 User가 NAND Flash를 사용하게 될 경우 Data는 한번도 Program/Erase를 진행하지 않은 Fresh한 소자에 저장될 수도 있고 Program/Erase 동작을 수 차례 진행한 소자에 저장될 수도 있기 때문이다.

SONOS 구조의 소자에서 Charge Trap Nitride에 저장된 전자는 주로 얇은 Tunneling Oxide를 통해 빠져나가게 되는데 발생 Mechanism은 [Figure 2-6]과 같이 크게 5가지로 정리할 수 있다 [7].

## **1. T-B Tunneling**

Trap to Band Tunneling으로 Charge Trap Nitride의 Trap Site에 Trapping된 전자가 Si Substrate의 Conduction Band로 Back Tunneling하여 전자 손실 발생 [9]~[11].

## **2. T-T Tunneling**

Trap to Trap Tunneling으로 Charge Trap Nitride의 Trap Site에 Trapping된 전자가 Si/Tunneling Oxide 계면의 Trap Site로 Back Tunneling하여 전자 손실 발생 [11], [12].

## **3. B-T Tunneling**

Band to Trap Tunneling으로 Si Substrate의 Valence Band에서 Hole이 얇은 Tunneling Oxide를 통해 Charge Trap Nitride에 Trapping된 전자를 중성 상태로 만들어 전자 손실 발생 [11].

## **4. P-F Emission**

Poole-Frenkel Emission으로 인한 Charge Trap Nitride 내부에서 수직방향으로의 전자 재 분포로 인한 소자의  $V_t$ 가 변화로 전자 손실과 동일한 효과를 일으킴 [13].



## 5. TE

Thermal Excitation & Drift로 Charge Trap Nitride의 Trap Site에 Trapping된 전자가 Conduction Band로 Thermal Excitation 된 후 얇은 Tunneling Oxide 방향으로 Drift되어 빠져나가면서 전자 손실 발생 [14], [15].

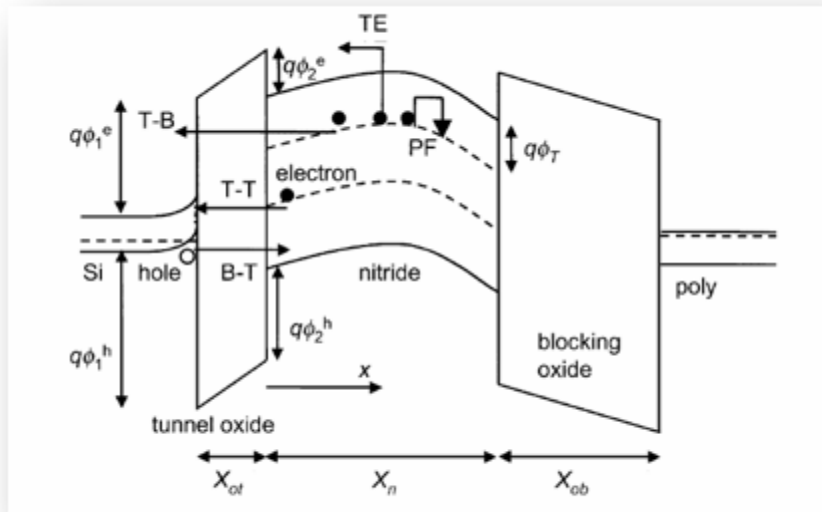


Figure 2-6. SONOS 소자의 Band diagram. Retention Mechanism 설명.

위에서 설명한 5가지 Mechanism 중 Trap to Band Tunneling과 Thermal Excitation & Drift가 주된 전자 손실 발생 Mechanism으로 연구되고 있다 [16], [17]. [Figure 2-7]은 온도 별로 Retention Time에 따른  $V_t$  변화를 확인한 결과로 25→225C 온도가 올라감에 따라  $V_t$  감소 폭이 크게 증가하는 것을 확인 할 수 있다. 이는 온도에 따라서 Charge Trap Nitride의 Trap Site에 Trapping된 전자가 Conduction Band로 Thermal Excitation 되는 확률이 얼마나 크게 증가하는지를 잘 보여주고 있다 [7]. 본 연구에서는 이와 같은 Thermal Excitation & Drift에 의해 발생하는 Retention 특성 열화를 개선하기 위한 실험을 진행하였다.

그리고 Poole-Frenkel Emission으로 인한 전자 손실 Mechanism은 Charge Trap Nitride가 과거 100nm 정도로 두꺼웠을 때는 매우 중요하게 고려되었지만, 최근 5~10nm로 Charge Trap Nitride 두께가 매우 얇아지면서 Nitride 내부에서 수직방향으로의 Trap to Trap Hopping이 매우 제한적으로 발생하기 때문에 Poole-Frenkel Emission에 의한 Retention 특성 열화는

무시해도 무방하다 [13], [18].

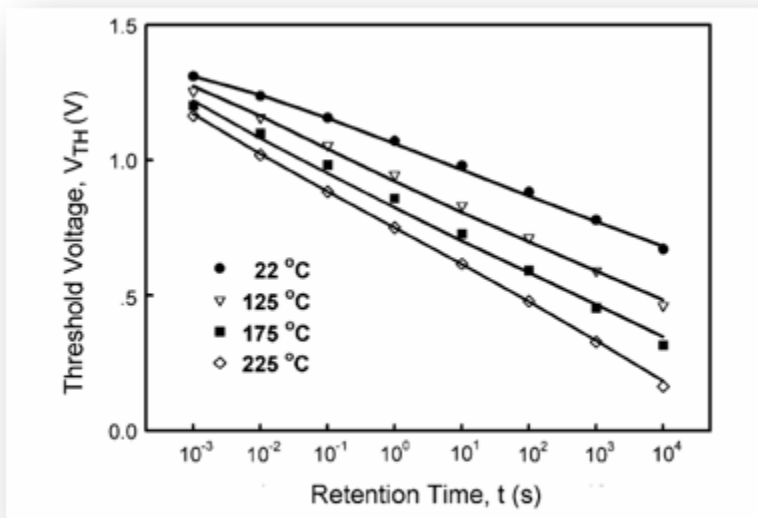


Figure 2-7. SONOS 소자에서 온도에 따른 Retention 특성.

## 2.4 Charge Trap Flash의 Cycling Vt Shift (Endurance)

### 특성 열화 원인

Cycling Vt Shift (Endurance) 특성은 Fresh한 소자의 Memory Window가 Program/Erase (P/E) Cycling에 따라 열화 되는 정도를 확인하는 신뢰성 평가 방법이다.

Cycling Vt Shift 특성 평가가 필요한 이유는 Program/Erase를 반복적으로 진행하게 되었을 때 Memory Window가 줄어들게 되게 되면 Cell Vt 분포 Variation이 커져서 신뢰성 문제가 발생하기 때문이다. 이는 최근 MLC (Multi Level Cell), TLC (Triple Level Cell) 를 넘어 QLC (Quadruple Level Cell) 기술 개발이 본격화되면서 더욱 더 중요하게 고려되고 있다.

일반적으로 Cycling Vt Shift 특성 열화가 발생하는 원인은 Program/Erase (P/E) Cycling에 따른 Si/Tunneling Oxide 계면, Tunneling Oxide, Charge Trap Nitride 열화로 전자 Trap이 발생하여 동일 Gate 전압에서 Erase 속도

감소를 유발하기 때문이다. 이는 곧 Memory Window 감소로 이어진다 [19]~[22].

[Figure 2-8]과 같이 Tunneling Oxide의 두께를 줄여주게 되면 Tunneling Oxide의 Bulk Trap이 감소해 Cycling Vt Shift 특성이 개선이 되지만 이는 Retention 특성 열화와 Trade-off 관계를 가지기 때문에 두 가지 특성을 모두 고려하여 적절한 Tunneling Oxide 두께를 설정하는 것이 매우 중요하다 [23].

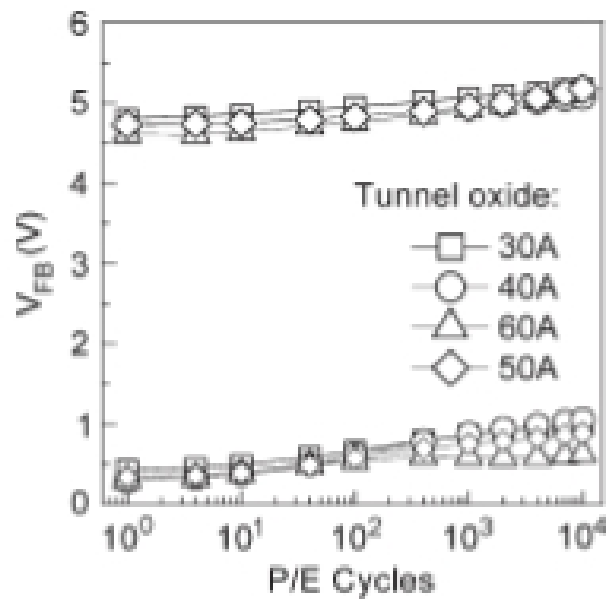


Figure 2-8. SANOS 소자에서 Tunneling Oxide 두께에 따른 Cycling  $V_t$

Shift (Endurance) 특성.

Si/Tunneling Oxide 계면, Tunneling Oxide, Charge Trap Nitride가 열화 되는  
원인은 Program/Erase 동작에 따라 발생하는 Hot Hole에 의해 Dielectric이  
지속적으로 열화 되기 때문이다. 먼저, Program 동작의 경우를 보면  
[Figure 2-9]의 (a)와 같이 Gate에 높은 (+)전압이 가해졌을 때 Tunneling  
Oxide를 통과해 SiN 층으로 유입된 전자( $Q_{IET}$ )가 SiN 층에서 Impact  
Ionization (I/I)를 일으켜 Hot Hole을 생성하게 되고, 이렇게 생성된 Hot  
Hole이 Tunneling Oxide 방향으로 이동하면서 SiN 와 Tunneling Oxide에  
결함을 만들게 된다. 다음으로, Erase 동작의 경우를 보면 [Figure 2-9]의  
(b)와 같이 Si 기판에 높은 Positive 전압이 가해졌을 때 Tunneling Oxide를  
통과해 Si 기판으로 유입된 전자( $Q_{OET}$ )가 Si 기판에서 Impact Ionization  
(I/I)를 일으켜 Hot Hole을 생성하게 되고, 이렇게 생성된 Hot Hole이  
Tunneling Oxide 방향으로 이동하면서 Si/Tunneling Oxide 계면과 Tunneling  
Oxide에 Defect을 형성하게 된다 [24]~[26].



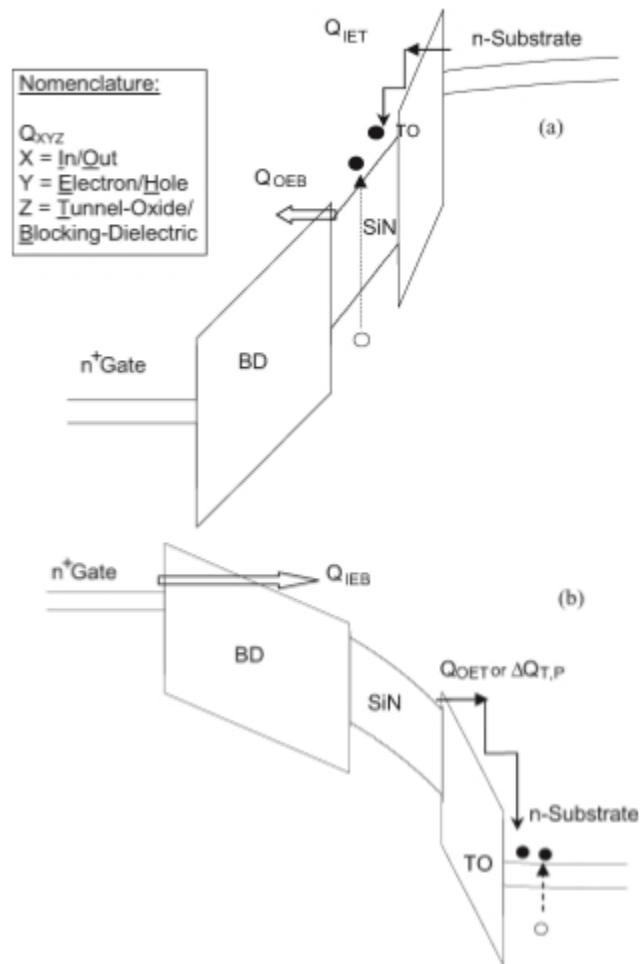


Figure 2-9. SANOS 소자의 Band diagram. (a) Program 동작에 따른

HHG (Hot Hole Generation) (b) Erase 동작에 따른 HHG (Hot Hole Generation).

Program/Erase 동작을 반복적으로 진행하게 되면 위와 같은 과정들을  
통해 지속적으로 Si/Tunneling Oxide 계면, Tunneling Oxide, Charge Trap  
Nitride에 결함을 유발해 Cycling Vt Shift 특성을 열화 시키게 된다.

### 3. 실험방법

#### 3.1 실험 설계

본 실험은 [Figure 3-1]과 같이 MAONOS 구조의 Planar Charge Trap Flash 소자에서 Charge Trap Layer로 사용하고 있는 SiN 층에 SiN 대비 High Conduction Band Barrier를 가지는 매우 얇은 Dielectric 층을 삽입하여 Gate에 높은 전압이 가해지는 Program Mode에서는 삽입 층의 Tunnel Barrier Width를 최소화하여 Program Speed 열화를 막고, Gate에 전압이 가해지지 않는 Retention Mode에서는 삽입 층의 Tunnel Barrier Width를 충분히 확보하여 Trap Site에 Trapping되어 있던 전자가 Conduction Band로 Thermal Excitation 된 후 Drift되어 발생하는 Charge Loss를 억제하여 Retention 특성을 개선하는 것을 목표로 하고 있다.

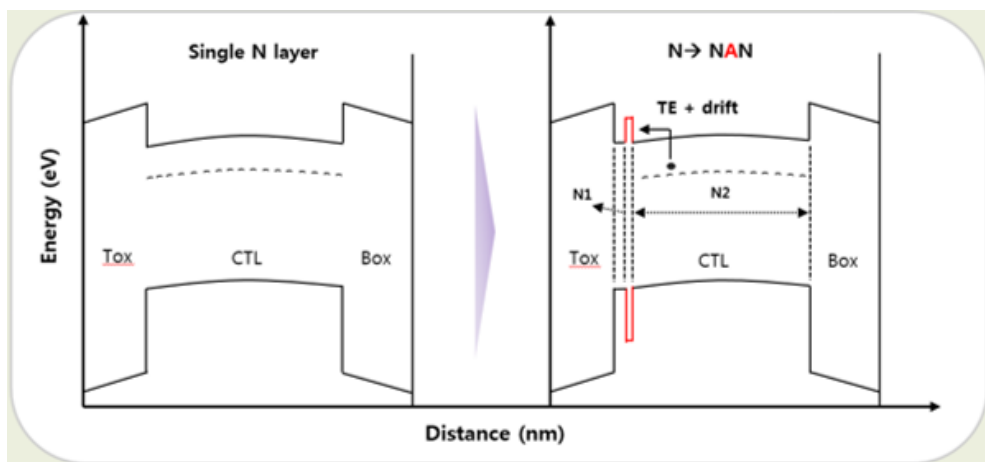


Figure 3-1. MONOS 소자의 Band diagram. Charge Trap Nitride 내 High Conduction Band Barrier를 가지는  $\text{Al}_2\text{O}_3$  층 삽입을 통한 Retention 개선 실험 계획.

High Conduction Band Barrier를 가지는 매우 얇은 Dielectric 층으로는  $\text{Al}_2\text{O}_3$ 를 선정하였는데 그 이유는 SiN 대비 High Conduction Band Barrier를 가지는 Dielectric 중 가장 안정적이고 널리 사용되는 물질이  $\text{SiO}_2$ 와  $\text{Al}_2\text{O}_3$  인데 그 중  $\text{Al}_2\text{O}_3$ 가  $\text{SiO}_2$  대비 유전율이 높아서 삽입에 따른 EOT 증가를 최소화할 수 있기 때문이다. ( $\text{Al}_2\text{O}_3$ 가 동일 POT에서  $\text{SiO}_2$  대비 EOT 50% 수준)

그리고 Planar Charge Trap Flash에서 Charge Loss는 주로 얇은 Tunneling Oxide 방향으로 발생하기 때문에 High Conduction Band Barrier 층의 삽입 위치는 Tunneling Oxide에 가까울수록 Retention 특성 개선에 유리하다고 전제하였다.

또한 High Conduction Band Barrier 층 삽입에 따라 Program Mode에서 Program Speed가 열화 될 가능성이 있기 때문에 Retention Mode에서는 High Conduction Band Barrier 층의 Tunnel Barrier Width가 충분하여 Charge

Loss 억제효과를 가지고, Program Mode에서는 High Conduction Band Barrier 층의 Tunnel Barrier Width를 최소화하여 Program Speed 열화를 막을 수 있는 최적화된 High Conduction Band Barrier 층의 두께를 확보하는 것이 매우 중요하다.

## 3.2 매우 얇은 $\text{Al}_2\text{O}_3$ 삽입 층 분석 기법

### 3.2.1 TEM 분석

TEM (Transmission Electron Microscope)은 전자현미경의 가장 기본적인 형태로, 얇은 시료에 전자를 통과시켜 확대된 상을 얻는 장치이다. 전자의 물질파는 파장이 가시광선의 파장보다 훨씬 짧아 더 작은 상을 뚜렷하게 볼 수 있다. [Figure 3-2]의 (a)는 실제 TEM 장비이다.

현미경은 작은 물체를 크게 확대시켜주는 장치이다. 현미경의 분해능은 상을 비추는 광원의 파장에 반비례하는데, 파장이 짧을수록 회절이 덜 일어나 상을 더 뚜렷하게 볼 수 있다. 분해능은 서로 떨어진 두 물체를 구별할 수 있는 능력인데, 분해능이 낮으면 이들이 떨어져 있는지 붙어 있는지 구별할 수 없다.

광학현미경은 가시광선의 파장이 아무리 짧아도 400nm정도 되기

때문에, 이보다 작은 물체를 뚜렷하게 볼 수 없다. 그러나 전자도 물질파의 성질을 가지므로 일종의 광원으로 이용할 수 있는데, 파장에 해당하는 물질파가 광학현미경의 1000배정도 짧은 0.1nm정도이므로, 분해능도 그만큼 높고 작은 시료를 정밀하게 볼 수 있다. 상을 통과하며 산란된 전자의 상으로 가지고 시료의 모양을 역추적해볼 수 있다. 확대해 보고자 하는 시료가 얇을 때에는 직접 전자를 상에 투과시켜 상을 얻을 수 있다. 이렇게 전자를 투과시켜 상을 얻는 방식을 TEM이라고 한다. 이 방식은 광원에서 나온 빛이 시료를 투과하여 상을 보게 되는 일반 광학현미경과 원리가 비슷하다. 다만 전자의 초점을 맞추기 위하여 Electromagnetic Lens가 사용된다. TEM의 개략적인 구조가 [Figure 3-2]의 (b)에 나타나 있다.

본 실험에서는 Charge Trap Layer로 사용하고 있는 SiN층에 Al<sub>2</sub>O<sub>3</sub>를 삽입하였을 때 SiN/Al<sub>2</sub>O<sub>3</sub> 계면에서 새로운 Trap Level의 Trap Site를 가지는 Mixed Phase가 형성되는지 확인하기 위해 Si Substrate위에서



SiN/Al<sub>2</sub>O<sub>3</sub>/SiN 적층 시료를 제작하여 열처리 전/후로 계면 상태 변화를 확인하였다. 이는 Charge Trap Layer로 사용하는 물질의 Trap Level이 Retention 특성을 결정하는 가장 큰 요소이기 때문이다.

(a)



(b)

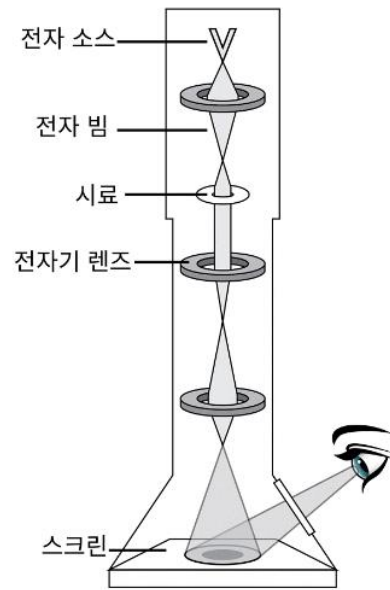


그림 1. 투과전자현미경의 원리. 전자의 다발을 쏘면 이들을 모아주는 전자기 렌즈들을 통하여 시료를 투과하도록 하고, 확대된 상을 스크린에 맺히게 한다.

Figure 3-2. TEM 분석 관련 (a) TEM 장비 사진. (b) 분석 원리.

### 3.2.2 TOF-SIMS 분석

SIMS (Secondary Ion MASS Spectrometry)는 일정한 Energy를 가진 일차 Ion을 고체 표면에 입사시킨 후 방출되는 이차 Ion의 질량을 측정하는 장비로 시료의 표면 정보 (원소, 분자)를 얻을 수 있는 장비이다. [Figure 3-3]의 (a)는 실제 IONTOF社の TOF-SIMS 장비이다.

SIMS는 입사되는 이온의 양에 따라 Dynamic SIMS와 Static SIMS로 나눌 수 있다. Dynamic SIMS의 경우 입사되는 Ion의 양이  $10^{13}/\text{cm}^2$  이하로 제한됨으로써, 표면의 단위자층을 파괴하지 않고 표면 분석이 가능하다. 극표면 분석에 유리하며, 원소 분석뿐만 아니라 분자 분석이 가능하기 때문에 유기물질, 생화학물질의 성분 분석에 사용될 수 있다. Dynamic SIMS에 비해 원소 감도가 떨어지지만 깊이 방향에 따른 원소 분포 (Depth Profile)를 측정할 수 있고 원소, 분자의 Mapping이 가능하다.

TOF-SIMS는 Static SIMS로 구분된다. 따라서 TOF-SIMS를 이용해

표면분석이 가능하며 동시에 깊이 방향 분석, Image Mapping이 가능하다.

#### <TOF-SIMS를 활용한 표면 분석>

1. Surface Spectroscopy : 표면을 구성하고 있는 원소 및 분자의 종류를

분석

2. Surface Image Mapping : 높은 Image 분해능의 2D Image Mapping

3. Depth Profiling : 수 nm~um의 높은 분해능의 깊이 방향 성분 분석 및

분포 분석

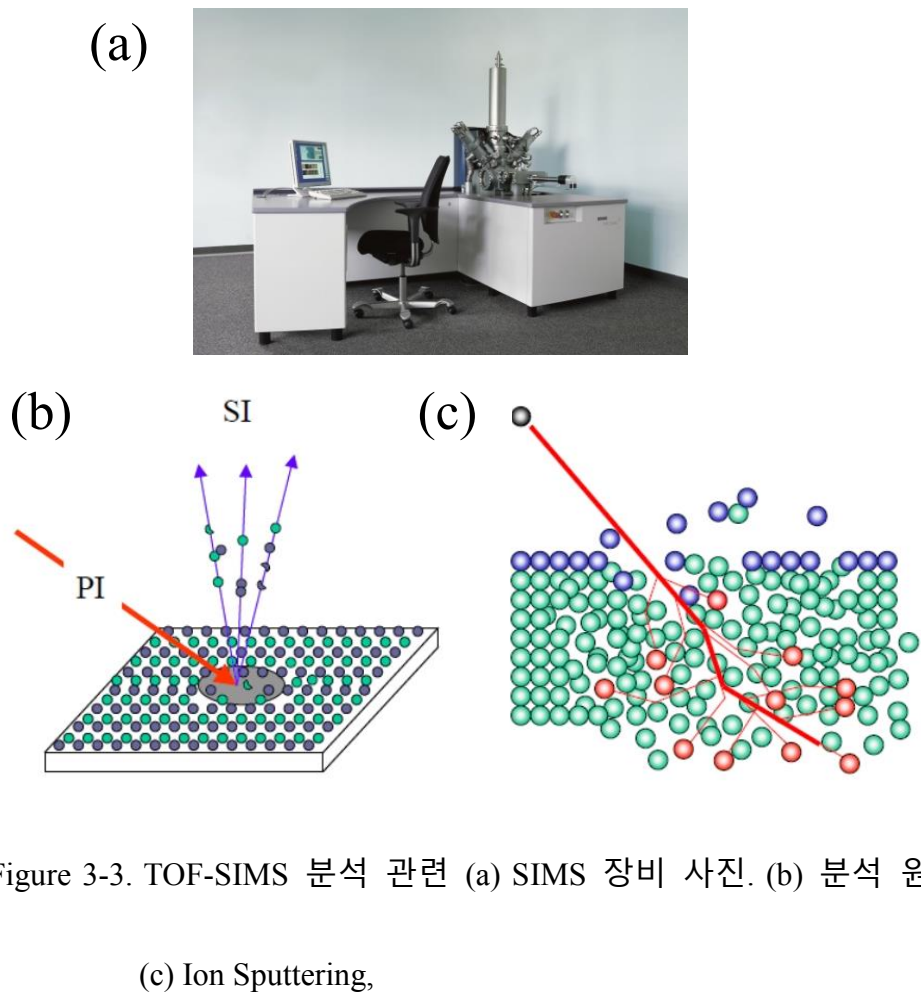
TOF-SIMS의 원리는 다음과 같다.

[Figure 3-3]의 (b)와 같이 일정한 Energy를 가진 일차 Ion을 고체표면에 입사시킨 후 방출되어 나오는 이차 Ion의 질량을 측정해 재료 표면을 구성하고 있는 원소, 분자의 종류를 확인할 수 있다. 재료의 표면에 입사된 일차 Ion은 아래의 [Figure 3-3]의 (c)와 같이 Ion Sputtering 현상을 일으키게 된다. Ion Sputtering 현상이란, 재료 표면에 일차 Ion이 충돌할

때 수 백 Å 크기의 Collision Cascade를 형성하는데 표면의 일부는 표면 Bonding Energy보다 큰 Kinetic Energy를 전달받아 표면 밖으로 방출하게 되는 현상을 말한다. 재료의 표면에서 Sputtering 되는 원자 혹은 분자들의 대부분은 전기적으로 중성인 Neutral이며, 5% 미만이 Cation 혹은 Anion이 방출되게 된다. 이러한 Ion들의 질량을 측정하여 재료 표면의 원소나 분자를 확인한다.

본 실험에서는 Charge Trap Layer로 사용하고 있는 SiN층에 Al<sub>2</sub>O<sub>3</sub>를 삽입하였을 때 새로운 Trap Level의 Trap Site를 가지는 Mixed Phase가 형성되는지 좀 더 자세히 확인하기 위해 Si substrate 위에서 SiN/Al<sub>2</sub>O<sub>3</sub>/SiN 적층 시료를 제작하여 열처리 전/후로 계면 상태 변화를 확인하였다. 이는 TOF-SIMS의 경우 계면에서의 변화를 Rough하게 확인할 수 있는 Ion-milling TEM과 달리 각 Dopant 별로 정성적인 Depth Profile 변화를 확할 수 있기 때문이다. 그리고 TOF-SIMS의 경우 두께가 매우 얇은 경우에도 분석이 가능하기 때문에 수 nm의 막을 형성하는

이번 실험에서 매우 효과적인 분석 방법이다.



### 3.3 Planar Charge Trap Flash 소자를 이용한 전기적 특성 평가 기법

#### 3.3.1 Planar Charge Trap Flash 소자 구조

전기적 특성을 평가하기 위해 [Figure 3-2]와 같은 Planar Type의 Charge Trap Flash 소자를 구현하였다.

먼저 [Figure 3-4]의 (a)와 같이 p-Si 기판에  $\text{BF}_2$ 로 Channel Vt Implantation을 진행한 후 [Figure 3-4]의 (b)와 같이 Channel을 형성할 영역에 Photo Mask를 씌우고 As Implantation를 진행하여  $\text{N}^+$  Source/Drain을 형성하였다.

다음으로 [Figure 3-4]의 (c)와 같이 Oxide를 증착 후 Channel을 제외한 영역에 Photo Mask를 씌우고 Oxide Dry Etch를 진행하여 ONO Dielectric 및 Metal Gate 형성을 위한 공간을 확보해준다.

[Figure 3-4]의 (c)에서 확보한 공간에 [Figure 3-4]의 (d)와 같이 차례대로 Tunneling Oxide → Charge Trap Nitride → Blocking Oxide를 증착 한다.

마지막으로 [Figure 3-4]의 (e)와 같이 차례대로 TiN → W을 증착 후 [Figure 3-4]의 (f)와 같이 차례대로 W → TiN → Blocking Oxide → Charge Trap Nitride → Tunneling Oxide → Oxide를 Dry Etch하여 Gate를 형성해주게 된다. 이때 N+ Source/Drain의 Dry Etch Damage를 고려하여 마지막 층인 Oxide를 일정두께 남긴 후 Wet Etch를 통해 Gate 형성을 마무리하게 된다.

Gate Length/Width는 각 각 80/250um이고 Gate와 N+ Source/Drain의 2 Terminal Probing을 통해 Program, Erase, Cycling Vt Shift(Endurance), Retention 등 Charge Trap Flash 소자의 기본적인 전기적 특성을 평가할 수 있다.



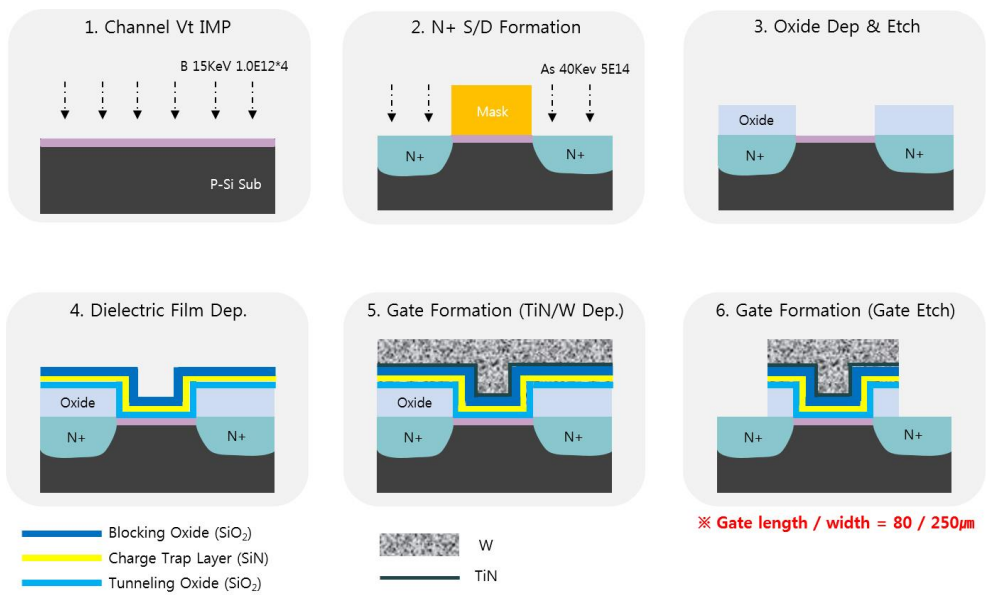


Figure 3-4. MONOS 소자 제조 과정. (a) Channel Vt Implantation (b)

N+ Source/Drain Formation (c) Oxide Deposition & Etch (d)

Gate Dielectric Deposition (e) Gate Formation 1 (TiN/W

Deposition) (f) Gate Formation 2 (Gate Etch)

### 3.3.2 Program 특성 평가

Charge Trap Flash에서 [Figure 3-5]과 같이 Program 동작은 Channel에 있는 전자가 Storage Layer인 Charge Trap Nitride에 채워지는 것을 의미한다. N+ Source/Drain은 각 각 Floating 시키고 p-Si Substrate에 0V를 인가하고 Gate에 (+)전압을 인가하게 되면 특정 (+)전압에서 p-Si Substrate의 표면에 N+ Channel이 형성되고 특정 (+)전압 이상의 높은 전압에서 Minority Carrier인 전자가 F-N Tunneling 방식으로 Tunneling Oxide를 통과하여 Charge Trap Nitride의 Trap Site에 Trapping되게 된다. 실제 NAND Flash에서는 Gate에 18V 이상의 높은 전압을 인가하여 Program 동작을 진행한다. 여기서 F-N Tunneling이란 Fowler-Nordheim Tunneling의 약자로 [Figure 3-6]와 같이 Gate에 높은 전압을 인가하여 큰 전압차가 발생하였을 때 Channel의 전자가 Tunneling Oxide의 Conduction Band Barrier를 넘어가는 것이 아니라, Field에 의해 얇아진 Barrier Width를 뚫고

지나가는 것을 의미한다 [27], [28].

NAND Flash에서는 낮은 전력, 빠른 속도의 Program 특성을 확보하는 것이 매우 중요하다.

본 실험에서는 N+ Source/Drain은 Floating, p-Si Substrate에 0V를 인가하고 Gate에 16~26V Step Pulse(@Width 20us)를 가하여 Charge Trap Nitride에 매우 얇은 Al<sub>2</sub>O<sub>3</sub> 층을 삽입하였을 때 Program 특성이 어떻게 변화하는지 확인하였다.

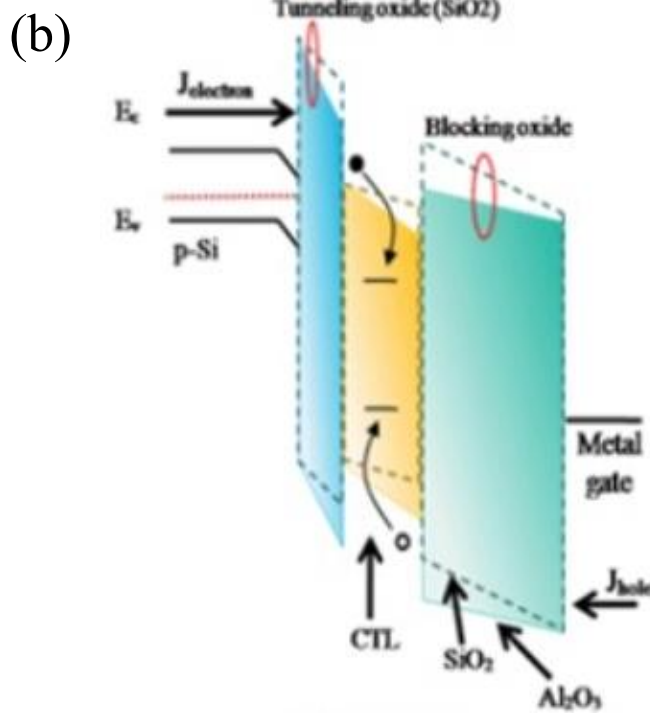
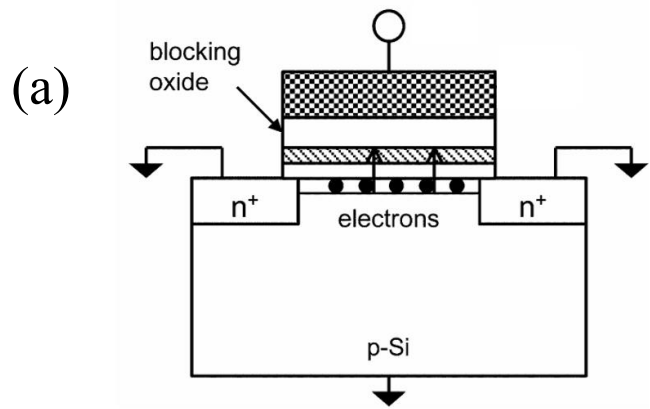
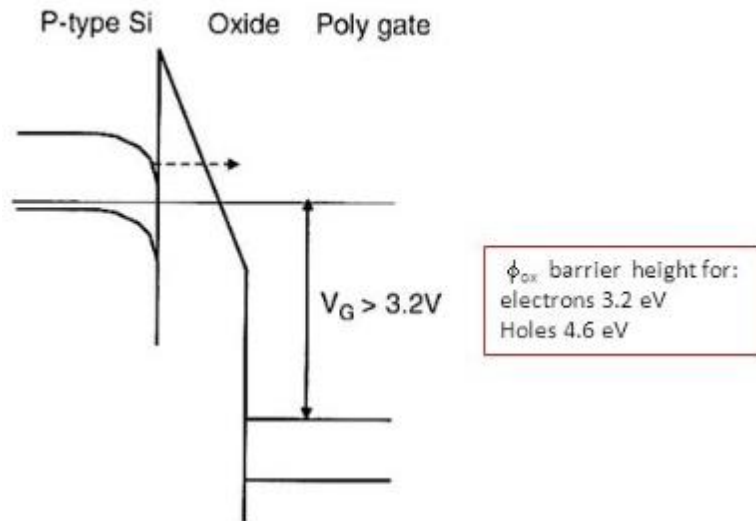


Figure 3-5. MA(O)NOS 소자의 Program 동작. (a) 소자 모식도 (b)

Band diagram.



Fowler-Nordheim tunneling  
through "thinned oxide".

$$j_{FN} = AE_{ox}^2 e^{-B/E_{ox}}$$

$$B \approx \frac{8\pi\sqrt{2m^*\phi_{ox}^3}}{3qh} = 4.823 \times 10^7 \phi_{ox}^{3/2} \text{ V/cm}$$

$$A \approx \frac{q^3}{8\pi h \phi_{ox}} = \frac{1.54 \times 10^{-6}}{\phi_{ox}} \text{ A/V}^2$$

33

Figure 3-6. SIS 소자의 Band diagram. Fowler-Nordheim Tunneling 설명.

### 3.3.3 Erase 특성 평가

Charge Trap Flash에서 Erase 동작은 [Figure 3-7]와 같이 Storage Layer인 Charge Trap Nitride에 채워져 있던 전자가 p-Si Substrate로 빠져나가거나 p-Si Substrate에서부터 Charge Trap Nitride로 정공이 유입되어 전하 중성 상태를 만드는 것을 의미한다. N+ Source/Drain은 각각 Floating 시키고 Gate에 0V를 인가한 후 p-Si Substrate에 높은 (+)전압을 걸어주게 되면 Detrapping된 전자가 F-N Tunneling 방식으로 Tunneling Oxide를 통과해 p-Si Substrate로 빠져나간다. 또한 p-Si Substrate에서 정공이 Charge Trap Nitride로 유입되어 전하 중성 상태를 만들게 된다 [27], [28].

실제로 NAND Flash에서는 p-Si Substrate에 20V 이상의 높은 전압을 인가하여 Erase 동작을 진행한다. 일반적으로 낮은 전압차에서는 전자의 Detrapping, 높은 전압차에서는 정공의 유입에 의한 Erase가 주로 발생하게 된다 [29], [30].

NAND Flash에서는 낮은 전력, 빠른 속도의 Erase 특성을 확보하는 것이 중요하고 최근 TLC (Triple Level Cell), QLC (Quadruple Level Cell) 기술이 활발히 연구되면서 Memory Window 확보를 위해 Deep Erase 특성을 확보 또한 매우 중요하다. 본 실험에서는 각 소자의  $V_t$ 를 3.5V로 일정하게 맞추고 N+ Source/Drain은 Floating, Gate에는 0V를 인가하고 p-Si Substrate에 13~20V Step Pulse(@Width 800um)를 가하여 Charge Trap Nitride에 매우 얇은  $Al_2O_3$ 를 삽입하였을 때의 Erase 특성 변화를 확인하였다.

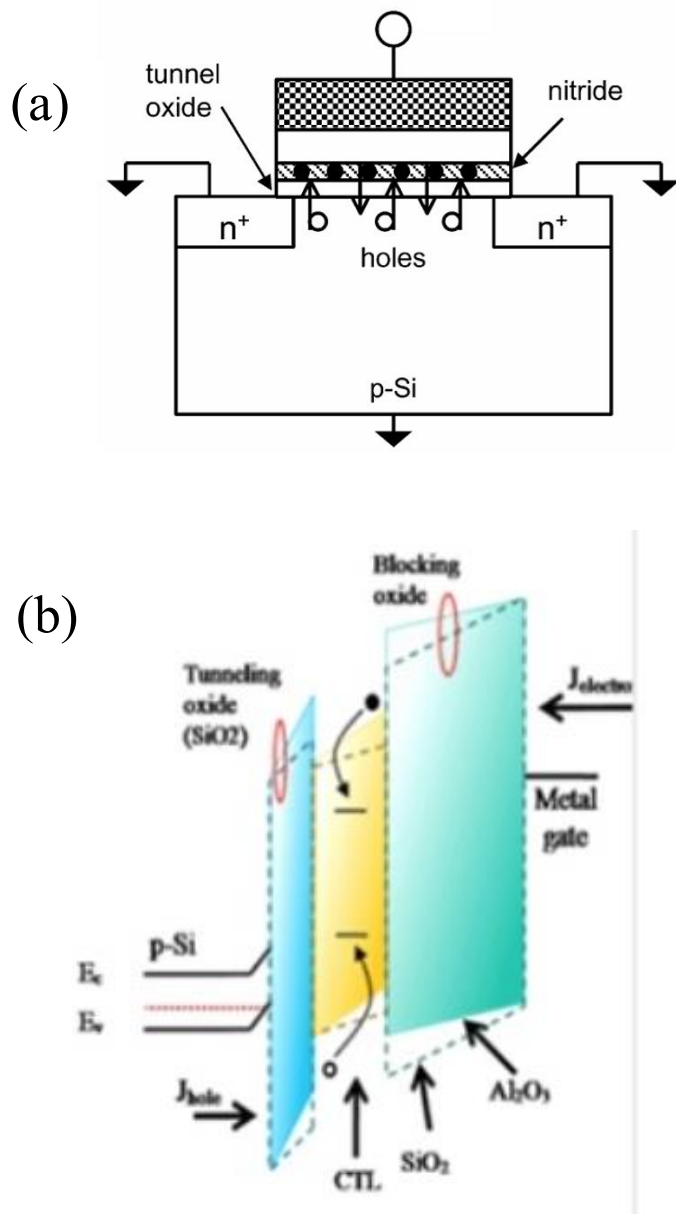


Figure 3-7. MA(O)NOS 소자의 Erase 동작. (a) 소자 모식도 (b) Band diagram.



### 3.3.4 Cycling Vt Shift (Endurance) 특성 평가

Charge Trap Flash에서 Cycling Vt Shift (Endurance) 특성은 반복적인 Program/Erase (P/E) 동작 후 Erase Vt 및 Program Vt가 초기 대비 얼마나 변하는 지를 통해 Endurance 특성을 확인하는 신뢰성 평가 방법이다 [23].

일반적으로 Program/Erase 동작을 반복하게 되면 p-Substrate/Tunneling Oxide 계면 및 Tunneling Oxide Bulk에 전자 Trap이 발생하여 Erase Vt 및 Program Vt가 초기 대비 증가하게 되고 이러한 변화는 특히 Erase Vt에서 두드러지게 나타난다.

Cycling Vt Shift 특성은 Tunneling Oxide 두께를 감소시키게 되면 Bulk Trap이 감소하여 개선이 되지만 이는 Retention 특성과의 Trade-off 관계를 가지게 된다. 그리고 Charge Trap Nitride의 조성을 Si-rich로 가져가게 되면 Shallow Trap의 증가로 Erase 효율이 개선되어 Cycling Vt Shift 특성이 개선되지만 이 또한 Retention 특성과 Trade-off 관계를

가진다 [31], [32].

NAND Flash에서는 최근 SSD (Solid State Device)의 개발로 반복적인 Program/Erase에 대한 Endurance가 매우 중요하게 부각되고 있고 특히 TLC (Triple Level Cell), QLC (Quadruple Level Cell)의 도입으로 한정된 Memory Window 안에 여러 개의 Cell  $V_t$  상태를 만들어야 하기 때문에 Cycling  $V_t$  Shift 특성 확보가 더욱 더 중요하게 되었다.

본 실험에서는 P/E Cycling 0/1/10/100/200/500/1000/2000/3000 회 마다 Erase  $V_t$ 를 측정하여 평가를 진행하였고, P/E Cycling 전압 조건은 program의 경우 gate에 18V, erase의 경우 Si substrate에 21V를 인가하였다.

### 3.3.5 Retention (@NCHTB) 특성 평가

Charge Trap Flash에서 Retention 특성 평가 방식 중 NCHTB는 No Cycling Hot Temperature Bake의 약자로 P/E Cycling을 하지 않은 상태에서 Charge Trap Nitride의 Trap Site에 일정량의 전자를 Program 시킨 후 고온 Bake를 진행하여 Program 후의 Cell Vt와 고온 Bake 후의 Cell Vt 차이를 통해 Retention 특성을 확인하는 신뢰성 평가 방법이다 [15], [33].

일반적으로 Program 후 고온 Bake를 진행하게 되면 Charge Trap Nitride의 Trap Site에 Trapping되어 있던 전자가 Conduction Band로 Thermal Excitation & Drift되어 Charge Trap Nitride 양쪽에 형성된 절연막 (Tunneling Oxide, Blocking Oxide)을 통해 빠져나가게 되고 Cell Vt는 감소하게 된다. 이 때 Non-volatile Memory 임에도 불구하고 저장된 Data를 잃게 되는 심각한 신뢰성 문제를 발생시킨다. 특히 Charge Trap Nitride 양쪽에 형성된 절연막 중 상대적으로 얇은 Tunneling Oxide 방향으로의 Charge

Loss가 주로 발생하고 있기 때문에 Program 속도와 Retention 특성 간의 Trade-off 관계를 극복하는 방법을 찾는 것이 매우 중요하다. 최근 2D NAND Flash의 Scaling 한계를 극복하기 위해 도입된 3D NAND Flash는 기존의 수직 방향의 Charge Loss 뿐만 아니라 수평 방향의 Charge Loss까지 고려하게 되면서 Retention 특성 개선이 매우 중요하게 고려되고 있고 특히 TLC (Triple Level Cell), QLC (Quadruple Level Cell)의 도입으로 한정된 Memory Window 안에 여러 개의  $V_t$  상태를 만들어야 하기 때문에 Retention 특성 확보가 더욱 더 중요해지고 있다.

본 실험에서는 P/E Cycling을 진행하지 않은 Fresh한 소자의  $V_t$ 를 각각 3.5V로 일정하게 맞추고 125C 10hr Bake를 진행한 후 Cell  $V_t$  차이를 확인하는 방식으로 Retention (@NCHTB) 특성을 평가하였다.

### 3.3.6 Retention (@PCHTB) 특성 평가

Charge Trap Flash에서 Retention 특성 평가 방식 중 PCHTB는 Post Cycling Hot Temperature Bake의 약자로 P/E Cycling을 3000회 진행한 상태에서 Charge Trap Nitride의 Trap Site에 일정량의 전자를 Program을 시킨 후 고온 Bake를 진행하여 Program 후의 Cell Vt와 고온 Bake후의 Cell Vt 차이를 확인하는 신뢰성 평가 방법이다 [34].

Retention 특성을 이렇게 NCHTB와 PCHTB로 나누어 평가하는 이유는 Non-volatile Memory를 사용자가 사용할 때 한번도 Program/Erase 하지 않은 Fresh한 Cell에 Data를 저장할 수도 있고 수 회의 Program/Erase를 반복한 Cell에 Data를 저장할 수도 있기 때문이다. NAND Flash에서는 최근 SSD (Solid State Device)의 개발로 반복적인 Program/Erase를 요구하는 사용환경이 늘어남에 따라 P/E cycling 후 Retention 특성을 평가하는 것이 매우 중요한 신뢰성 평가 항목으로 고려되고 있다.

본 실험에서는 E/W Cycling을 3000회 진행한 소자의  $V_t$ 를 각 각 3.5V로 일정하게 맞추고 125C 10hr Bake를 진행한 후 Cell  $V_t$  차이를 확인하는 방식으로 Retention (@PCHTB) 특성을 평가하였다.

## 4. 실험결과

### 4.1 매우 얇은 $\text{Al}_2\text{O}_3$ 삽입 공정 Setup 결과

#### 4.1.1 시료 정보

매우 얇은  $\text{Al}_2\text{O}_3$  삽입 층의 형성 및 열처리 전/후  $\text{Al}_2\text{O}_3$  삽입 층의 변화 가능성을 확인하기 위해 [Table 4-1]과 같이 Si Substrate 위에 평판 시료를 제작하였다.

Split Table @ on Si Substrate			Base	NAN_as dep	NAN_anneal
Charge Trap Layer	Single N	SiN 100Å	●		
	NAN	SiN 50Å / Al <sub>2</sub> O <sub>3</sub> 6cy / SiN 50Å		●	●
Post RTA	1000°C N <sub>2</sub> 15sec				●

Table 4-1. 평판 물성 평가 Split Table.



#### 4.1.2 TEM 분석 결과

TEM 분석 목적은 매우 얇은  $\text{Al}_2\text{O}_3$  삽입 층의 정상 형성 유무 및 후속 열처리 공정에 따른  $\text{Al}_2\text{O}_3$  층 변형 유무를 확인하는 것이다.

Planar Charge Trap Flash 소자에서 Retention 특성이 큰 폭으로 개선된 소자는 Tunneling Oxide 방향으로  $\text{Al}_2\text{O}_3$ 를 삽입하는 조건이었으나, 그렇게 공정을 진행하게 되면 Tunneling Oxide 방향의 SiN와  $\text{Al}_2\text{O}_3$  모두 매우 얇아 층간 구분이 힘들어 Ion-milling TEM 분석 상  $\text{Al}_2\text{O}_3$  변형을 판단하는 것이 힘들기 때문에  $\text{Al}_2\text{O}_3$  위/아래 SiN 두께를 동일하게, 그리고 두껍게 제작하였다.

TEM 분석 결과 [Figure 4-1]과 같이 SiN/ $\text{Al}_2\text{O}_3$ /SiN 구조에서 매우 얇은  $\text{Al}_2\text{O}_3$  삽입 층이 명확하게 확인되었다. 그리고 열처리 후에  $\text{Al}_2\text{O}_3$  삽입 층의 변화는 확인되지 않았다.

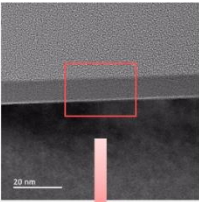
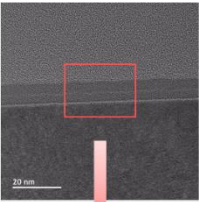
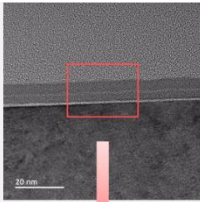
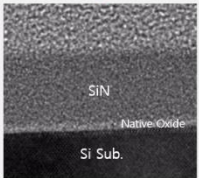
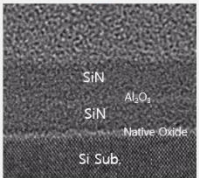
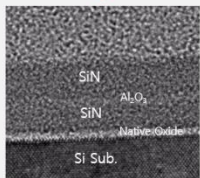
TEM_I	Single N (SiN)	NAN (SiN/Al <sub>2</sub> O <sub>3</sub> /SiN)	
	As dep.	As dep.	Anneal (1000°C N <sub>2</sub> 15sec)
20nm Scale			
			

Figure 4-1. TEM 분석 사진.

### 4.1.3 TOF-SIMS 분석 결과

TOF-SIMS 분석 목적은 매우 얇은  $\text{Al}_2\text{O}_3$  삽입 층의 정상 형성 유무 및 후속 열처리 공정에 따른  $\text{Al}_2\text{O}_3$  층 변형 유무를 확인하는 것이다.

TOF-SIMS의 경우 수 nm의 매우 얇은 막의 경우에도 정성적으로 원소 또는 분자 별 Depth Profiling이 가능하기 때문에 TEM에서 판단 내리기 힘든 미세한 차이에 대해서도 분석이 가능하다.

Planar Charge Trap Flash 소자에서 Retention 특성이 큰 폭으로 개선된 실험 조건은 Tunneling Oxide 방향으로  $\text{Al}_2\text{O}_3$ 를 삽입하는 조건이었으나, 그렇게 공정을 진행하게 되면 Tunneling Oxide SiN와  $\text{Al}_2\text{O}_3$  모두 매우 얇아 TOF-SIMS 분석 결과의 정확도가 떨어질 수 있기 때문에 Ion-milling TEM 분석과 동일하게  $\text{Al}_2\text{O}_3$  위/아래 SiN 두께를 동일하게, 그리고 두껍게 제작하였다.

TOF-SIMS 분석 결과, [Figure 4-2]과 같이  $\text{Al}_2\text{O}_3$  삽입 층이 정상적으로

형성되었음을 확인하였고, 열처리 후에도 SiN, Al, O Depth Profile 변화가 없는 것을 통해 삽입 층의 변형이 일어나지 않는 것을 확인하였다.

Al, O Depth Profile을 보면 열처리 후에 Al, O가 상부 SiN 방향으로 조금 Diffusion 되는 것처럼 보이지만 SiN Depth Profile을 보면 알 수 있듯이 열처리에 의한 SiN 층의 Shrinkage가 원인이다.

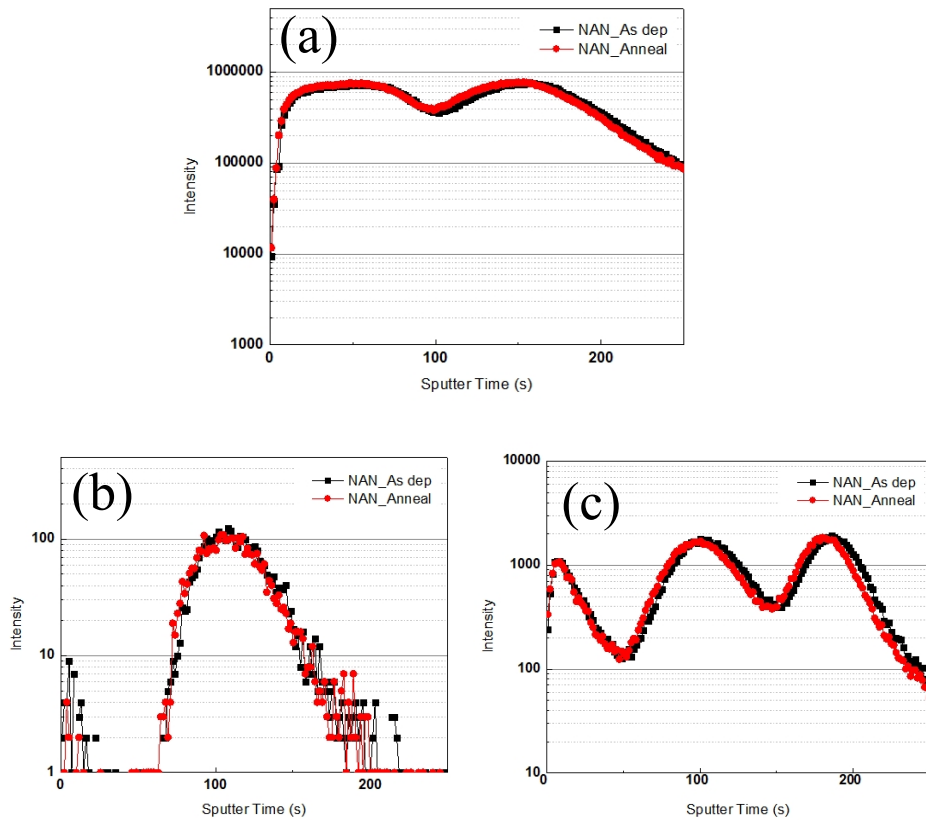


Figure 4-2. TOF-SIMS 분석 Depth Profile. (a) SiN 분자에 대한 Depth

Profile (b) Al 원자에 대한 Depth Profile (c) O 원자에 대한

Depth Profile.

## 4.2 Charge Trap Nitride 내 매우 얇은 $\text{Al}_2\text{O}_3$ 삽입에 따른 전기적 특성 평가 결과

### 4.2.1 시료 정보

Charge Trap Nitride 내에 매우 얇은  $\text{Al}_2\text{O}_3$ 를 삽입하였을 때 전기적 특성을 평가하기 위해 Charge Trap Nitride를 [Table 4-2]과 같이 나누어 Planar Charge Trap Flash 소자를 제작하였다.

Split Table @ Planar CTF Device			Base	Split 1	Split 2
Tunneling Oxide	SiO <sub>2</sub> 50Å		●	●	●
Charge Trap Layer	Single N	SiN 50Å	●		
	NAN (Tox side)	SiN 10Å / Al <sub>2</sub> O <sub>3</sub> 3Å / SiN 40Å		●	
		SiN 10Å / Al <sub>2</sub> O <sub>3</sub> 6Å / SiN 40Å			●
Blocking Oxide	SiO <sub>2</sub> 100Å		●	●	●
Post RTA	1000°C N <sub>2</sub> 15sec		●	●	●

√ Tunnel Oxide (SiO<sub>2</sub>) : Atomic Layer Deposition

√ Charge Trap Layer (SiN) : Chemical Vapor Deposition

√ Charge Trap Layer (Al<sub>2</sub>O<sub>3</sub>) : Atomic Layer Deposition

√ Blocking Oxide (SiO<sub>2</sub>) : Radical oxidation

Table 4-2. Charge Trap Nitride 내 High Conduction Band Barrier를

가지는 Al<sub>2</sub>O<sub>3</sub> 층 삽입에 따른 Retention 특성 개선 실험

Split Table.

## 4.2.2 Program 특성 평가 결과

Charge Trap Nitride에 Tunneling Oxide 방향으로  $\text{Al}_2\text{O}_3$ 를 각 각 3cy, 6cy  
삽입한 소자의 Program 특성 평가를 진행하였다. 평가 목적은 앞서 실험  
계획에서 언급했듯이 Charge Trap Nitride에 SiN 대비 High Conduction Band  
Barrier를 가지는 Dielectric 층을 삽입하였을 때 Program  $V_t$  열화를  
최소화하는 것이다.

먼저 Program 특성 평가를 진행하기 전에 초기 상태의  $V_t$ 를 확인한  
결과 ‘NAN\_Tox side  $\text{Al}_2\text{O}_3$  3cy’ 소자는 0.33V, ‘NAN\_Tox side  $\text{Al}_2\text{O}_3$  6cy’  
소자는 0.33V로 ‘Base (Single N)’ 소자 대비 1.23V Positive Shift 하였다.  
이는 삽입된  $\text{Al}_2\text{O}_3$ 층이 Negative Charge 역할을 하였기 때문이라고  
판단할 수 있다.

Program 특성을 확인하기 위해 Gate에 16~26V까지 Step Pulse Program  
(@Pulse Width 20um)을 진행하였다. 그 결과 [Table 4-3], [Figure 4-3]과 같이



18V에서는 ‘NAN\_Tox side Al<sub>2</sub>O<sub>3</sub> 3cy’ 소자, ‘NAN\_Tox side Al<sub>2</sub>O<sub>3</sub> 6cy’ 소자 모두 EOT를 감안하였을 때 ‘Base (Single N)’ 소자 대비 Program V<sub>t</sub>가 100mV 정도 열화 되었고, 22V 이상에서는 ‘Base (Single N)’ 소자 대비 열화 되지 않는 것을 확인하였다.

이를 통해 앞서 실험 계획에서 중요하게 고려하였던 것 중 하나인 Charge Trap Nitride에 매우 얇은 Al<sub>2</sub>O<sub>3</sub>층을 삽입하였을 때, Gate에 높은 전압이 인가되는 Program Mode에서 Al<sub>2</sub>O<sub>3</sub>의 Tunnel Barrier Width를 최소화하여 Program V<sub>t</sub>를 열화 시키지 않는 Al<sub>2</sub>O<sub>3</sub> 두께 조건을 확보하였다.

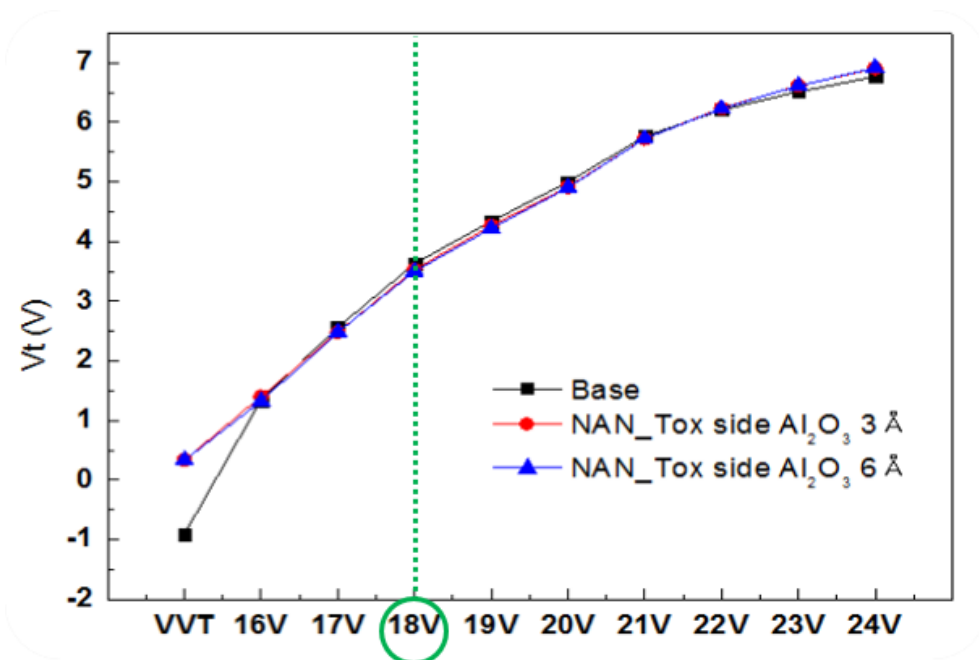


Figure 4-3. MONOS 소자를 이용한 Program 특성 평가 결과 그래프.

Step Pulse Program (Gate Bias 16~26V, Pulse Width 20us).

Planar CTF Device (Unit : V)	Initial Vt	PGM Vt								
		16V	17V	18V	19V	20V	21V	22V	23V	24V
Base (Single N)	-0.90	1.34	2.57	3.63	4.34	5.00	5.76	6.21	6.51	6.77
NAN_Tox side Al <sub>2</sub> O <sub>3</sub> 3Å	0.33	1.40	2.48	3.53	4.26	4.91	5.72	6.24	6.61	6.91
NAN_Tox side Al <sub>2</sub> O <sub>3</sub> 6Å	0.33	1.32	2.48	3.50	4.22	4.90	5.72	6.23	6.61	6.91

※ Step pulse program @ width 20μs

Table 4-3. Program 특성 평가 결과 수치 Table.

### 4.2.3 Erase 특성 평가 결과

Charge Trap Nitride에 Tunneling Oxide 방향으로  $\text{Al}_2\text{O}_3$ 를 각 각 3cy, 6cy 삽입한 소자의 Erase 특성 평가를 진행하였다. 평가 목적은 Program 특성의 경우와 동일하게 Charge Trap Nitride에 SiN 대비 High Conduction Band Barrier를 가지는 Dielectric 층을 삽입하였을 때 Erase  $V_t$  열화를 최소화하는 것이다.

먼저 Erase 특성 평가를 진행하기 전에 초기 상태의  $V_t$ 를 확인한 결과 ‘NAN\_Tox side  $\text{Al}_2\text{O}_3$  3cy’ 소자는 0.34V, ‘NAN\_Tox side  $\text{Al}_2\text{O}_3$  6cy’ 소자는 0.31V로 ‘Base (Single N)’ 소자 대비 각 각 1.26V, 1.23V Positive Shift 하였다. 이는 삽입된  $\text{Al}_2\text{O}_3$  층이 Negative Charge 역할을 하였기 때문이라고 판단할 수 있다.

Erase 특성을 확인하기 위해 먼저 각 소자의  $V_t$ 를 3.5V로 일정하게 맞추고 p-Si Substrate에 13~20V까지 Step Pulse Erase(@Pulse Width 800um)을

진행하였다. 그 결과 [Table 4-4], [Figure 4-4]와 같이 18V에서는 ‘NAN\_Tox side Al<sub>2</sub>O<sub>3</sub> 3cy’ 소자, ‘NAN\_Tox side Al<sub>2</sub>O<sub>3</sub> 6cy’ 소자 모두 EOT를 감안하였을 때 ‘Base (Single N)’ 소자 대비 Erase V<sub>t</sub>가 열화 되지 않았지만, 20V에서는 ‘Base (Single N)’ 소자 대비 ‘NAN\_Tox side Al<sub>2</sub>O<sub>3</sub> 3cy’ 소자는 0.2V, ‘NAN\_Tox side Al<sub>2</sub>O<sub>3</sub> 6cy’ 소자는 0.3V 열화 되는 것을 확인하였다.

이는 Charge Trap Nitride에 Al<sub>2</sub>O<sub>3</sub> 층을 삽입함에 따라 Conduction Band Barrier 뿐만 아니라 Valence Band Barrier도 높아지면서 높은 Erase 전압에서 주로 발생하는 p-Si Substrate부터의 정공 유입이 감소함에 따른 Erase Saturation V<sub>t</sub> 열화로 추정된다.

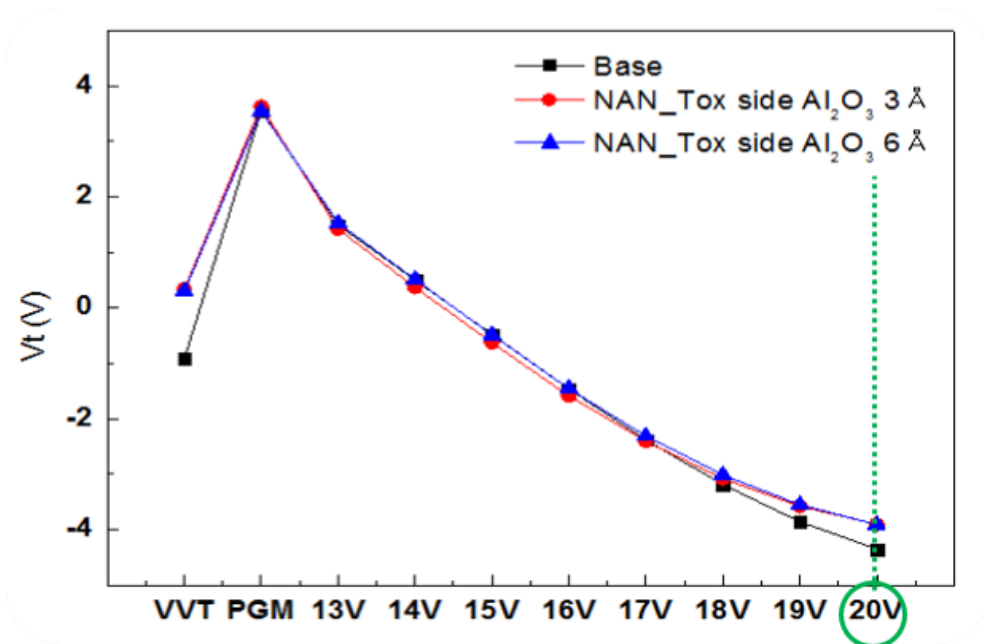


Figure 4-4. MONOS 소자를 이용한 Erase 특성 평가 결과 그래프.

Program Vt 3.5V Verify + Step Pulse Erase (p-Substrate Bias  
13~20V, Pulse Width 800us).

Planar CTF Device. (Unit : V)	Initial Vt	PGM	ERS Vt							
			13V	14V	15V	16V	17V	18V	19V	20V
Base (Single N)	-0.92	3.55	1.49	0.50	-0.47	-1.46	-2.38	-3.19	-3.86	-4.35
NAN_ToX side Al <sub>2</sub> O <sub>3</sub> 3Å	0.34	3.63	1.42	0.37	-0.62	-1.58	-2.40	-3.08	-3.58	-3.90
NAN_ToX side Al <sub>2</sub> O <sub>3</sub> 6Å	0.31	3.54	1.53	0.51	-0.48	-1.46	-2.31	-3.01	-3.55	-3.91

※ Program Vt 3.5V verify + Step pulse erase @ width 800μs

Table 4-4. Erase 특성 평가 결과 수치 Table.

#### 4.2.4 Cycling Vt Shift (Endurance) 특성 평가 결과

Charge Trap Nitride에 Tunneling Oxide 방향으로  $\text{Al}_2\text{O}_3$ 를 각 각 3cy, 6cy 삽입한 소자의 Cycling Vt Shift 특성 평가를 진행하였다. 평가 목적은 Charge Trap Nitride에 SiN 대비 High Conduction Band Barrier를 가지는 Dielectric 층을 삽입하였을 때 Cycling Vt Shift 특성이 어떠한 방향으로 움직이는 지를 확인하는 것이다.

먼저 Cycling Vt Shift 특성 평가를 진행하기 전에 초기 상태의  $V_t$ 를 확인한 결과 ‘NAN\_Tox side  $\text{Al}_2\text{O}_3$  3cy’ 소자는 0.31V, ‘NAN\_Tox side  $\text{Al}_2\text{O}_3$  6cy’ 소자는 0.28V로 ‘Base (Single N)’ 소자 대비 각 각 1.26V, 1.23V Positive Shift 하였다. 이는 삽입된  $\text{Al}_2\text{O}_3$  층이 Negative Charge 역할을 하였기 때문이라고 판단 할 수 있다.

Cycling Vt Shift 특성을 확인하기 위해 각 소자에 P/E Cycling을 진행하였고 0/1/10/50/100/200/500/1000/2000/3000회 마다 Erase  $V_t$ 를

측정하여 그 변화를 통해 소자의 열화 정도를 확인하였다.

그 결과 [Table 4-5], [Figure 4-5]과 같이 ‘NAN\_Tox side Al<sub>2</sub>O<sub>3</sub> 3cy’ 소자는 Delta Vt 0.54V, ‘NAN\_Tox side Al<sub>2</sub>O<sub>3</sub> 6cy’ 소자는 Delta Vt 0.33V로 ‘Base (Single N)’ 소자 대비 각각 0.19V (26%), 0.4V (55%)로 매우 큰 폭으로 개선되었다. 여기서 Delta Vt는 P/E 3000회 진행 후의 Erase Vt와 Fresh한 소자의 초기 Erase Vt 차이를 말한다.

실험 계획 시 Cycling Vt Shift 특성 개선은 고려하지 않았지만 이렇게 큰 폭으로 개선된 이유는 p-Si Substrate로부터 유입되는 정공에 의한 Erase가 감소하였기 때문으로 추정하고 있다. 일반적으로 P/E Cycling을 진행하게 되면 전자나 정공에 의해 Tunneling Oxide, Charge Trap Nitride의 열화가 일어나는데 이때 상대적으로 질량이 큰 정공에 의한 열화가 더 크게 영향을 주게 된다.

결론적으로 Charge Trap Nitride에 매우 얇은 Al<sub>2</sub>O<sub>3</sub>를 삽입하게 되면 SiN 대비 Conduction Band Barrier 뿐만 아니라 Valence Band Barrier도 높아지게

되는데 그로 인해 p-Si Substrate로부터 Charge Trap Nitride로 유입되는  
정공이 감소하게 되어 P/E Cycling 시 Charge Trap Nitride의 열화를  
감소시키는 것으로 판단된다. 이는 앞선 Erase 특성 평가 시 높은 Erase  
전압에서 Erase Saturation  $V_t$ 가 열화 된 것을 통해서도 추정해 볼 수 있다.



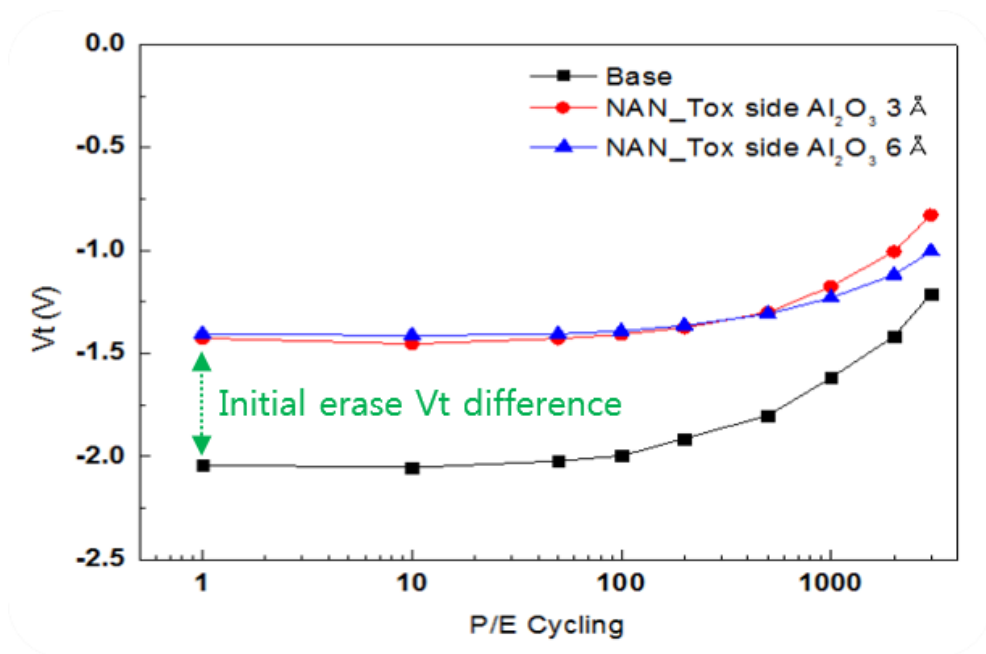


Figure 4-5. MONOS 소자를 이용한 Cycling Vt Shift 특성 평가 결과

그래프. P/E Cycling 0/1/10/50/100/200/500/1000/2000/3000회

진행 후 Erase Vt 변화 확인.

Planar CTF Device (Unit : V)	ERS Vt @ P/E Cycling										$\Delta V_t$
	0	1	10	50	100	200	500	1K	2K	3K	
Base (Single N)	-1.94	-2.04	-2.05	-2.02	-2.00	-1.91	-1.80	-1.62	-1.42	-1.21	0.73
NAN_Tox side $\text{Al}_2\text{O}_3$ 3Å	-1.37	-1.43	-1.45	-1.43	-1.41	-1.83	-1.30	-1.18	-1.01	-0.83	0.54
NAN_Tox side $\text{Al}_2\text{O}_3$ 6Å	-1.33	-1.41	-1.41	-1.41	-1.39	-1.36	-1.31	-1.23	-1.12	-1.01	0.33

※ P/E cycling bias condition : PGM 18V / ERS -21V

Table 4-5. Cycling Vt Shift (Endurance) 특성 평가 결과 수치 Table.

## 4.2.5 Retention (@NCHTB) 특성 평가 결과

Charge Trap Nitride에 Tunneling Oxide 방향으로  $\text{Al}_2\text{O}_3$ 를 각 각 3cy, 6cy 삽입한 소자의 Retention (@NCHTB) 특성 평가를 진행하였다. NCHTB는 No Cycling Hot Temperature Bake의 약자로 P/E Cycling을 전혀 진행하지 않은 Fresh한 소자에 저장된 Data가 손실되는 정도를 확인하기 위한 평가 방법이다. 평가 목적은 Charge Trap Nitride에 SiN 대비 High Conduction Band Barrier를 가지는 Dielectric 층을 삽입하였을 때 Trap Site에 Trapping되어있던 전자가 Thermal Excitation & Drift되어 빠져나가는 것을 막아줄 수 있는지 확인하는 것이다.

NCHTB 특성을 확인하기 위해 먼저 각 소자의  $V_t$ 를 3.5V로 일정하게 맞추고 모든 전극을 Floating 시킨 후 125C 10hr Bake를 진행하고 나서의  $V_t$ 를 측정하여 그 변화를 통해 Charge Loss 정도를 확인하였다.

그 결과 [Table 4-6], [Figure 4-6]와 같이 ‘NAN\_Tox side  $\text{Al}_2\text{O}_3$  3cy’ 소자는

Delta  $V_t$  0.23V, 'NAN\_Tox side  $Al_2O_3$  6cy' 소자는 Delta  $V_t$  0.18V로 'Base (Single N)' 소자 대비 각각 0.25V (52%), 0.3V (62%)로 매우 큰 폭으로 개선되었다. 여기서 Delta  $V_t$ 는 Program 후  $V_t$ 와 Bake 후의 차이를 말한다. 이는 실험 계획 시 Charge Trap Nitride에 SiN 대비 High Conduction Band Barrier를 가지는  $Al_2O_3$ 를 삽입한 목적에 부합하고 개선 폭도 매우 커서 고무적인 결과라고 할 수 있다.

하지만 Charge Trap Nitride에  $Al_2O_3$ 를 삽입하였을 때 SiN/ $Al_2O_3$  사이에서 SiN 대비 Deep Trap Level을 가지는 Mixed Phase가 형성되어 NCHTB 특성이 개선되었을 가능성도 있기 때문에 추가적인 실험을 통해 개선 Mechanism을 확실히 할 필요가 있다.

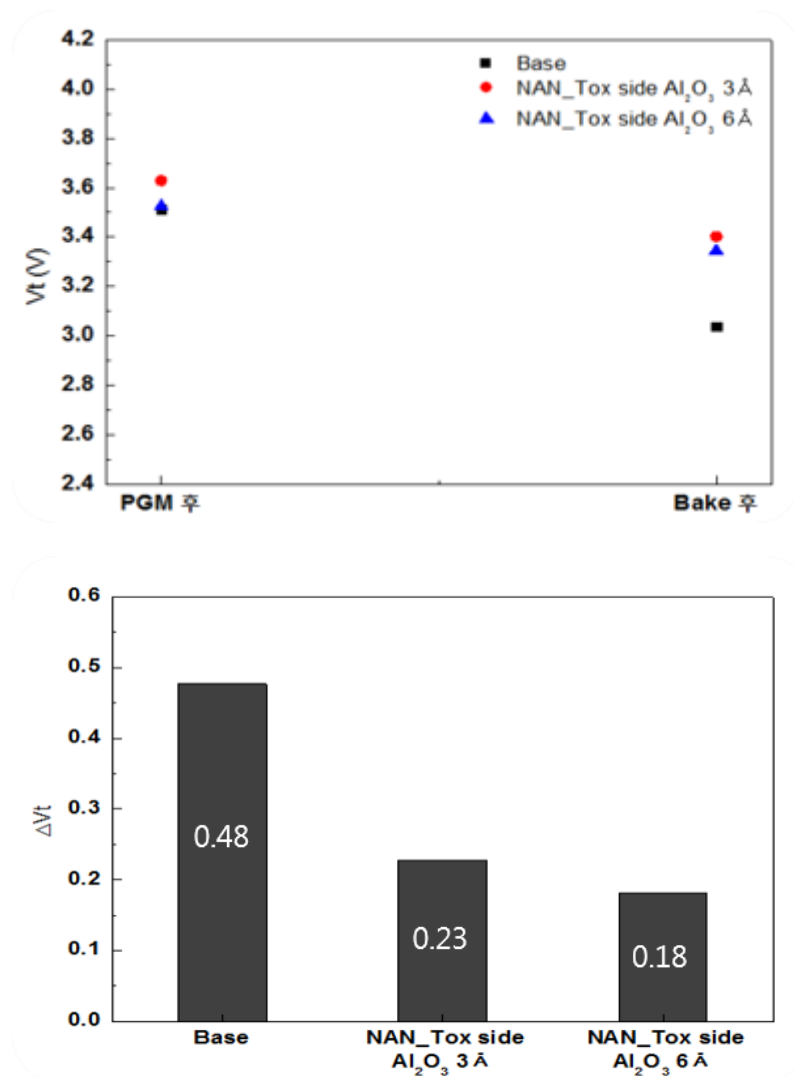


Figure 4-6. MONOS 소자를 이용한 PCHTB (Post Cycling Hot Temperature Bake) 특성 평가 결과 그래프. P/E Cycling 3000회 + Program  $V_t$  3.5V Verify + 125C 10hr Bake 후 Program  $V_t$  변화 확인.

Planar CTF Device (Unit : V)	PGM	Bake	$\Delta V_t$
Base (Single N)	3.52	3.04	0.48
NAN_Tox side Al <sub>2</sub> O <sub>3</sub> 3Å	3.63	3.40	0.23
NAN_Tox side Al <sub>2</sub> O <sub>3</sub> 6Å	3.52	3.34	0.18

※ Program Vt 3.5V verify + 125°C 10hr bake

Table 4-6. NCHTB (No Cycling Hot Temperature Bake) 특성 평가 결과

수치 Table.

#### 4.2.6 Retention (@PCHTB) 특성 평가 결과

Charge Trap Nitride에 Tunneling Oxide 방향으로  $\text{Al}_2\text{O}_3$ 를 각 각 3cy, 6cy 삽입한 소자의 Retention (@PCHTB) 특성 평가를 진행하였다. PCHTB는 Post Cycling Hot Temperature Bake의 약자로 P/E Cycling을 3000회 진행한 소자에 저장된 Data가 손실되는 정도를 확인하는 평가 방법이다. 평가 목적은 Charge Trap Nitride에 SiN 대비 High Conduction Band Barrier를 가지는 Dielectric 층을 삽입하였을 때 Trap Site에 Trapping되어있던 전자가 Thermal Excitation & Drift되어 빠져나가는 것을 막아줄 수 있는지 확인하는 것이다.

PCHTB 특성을 확인하기 위해 먼저 각 각의 소자에 P/E Cycling 3000회 진행 및  $V_t$ 를 3.5V로 일정하게 맞추고 모든 전극을 Floating 시킨 후 125C 10hr Bake 진행하고 나서의  $V_t$ 를 측정하여 그 변화를 통해 Charge Loss 정도를 확인하였다.

그 결과 [Table 4-7], [Figure 4-7]와 같이 ‘NAN\_Tox side Al<sub>2</sub>O<sub>3</sub> 3cy’ 소자는 Delta Vt 0.78V, ‘NAN\_Tox side Al<sub>2</sub>O<sub>3</sub> 6cy’ 소자는 Delta Vt 0.63V로 ‘Base (Single N)’ 대비 각각 0.52V (40%), 0.67V (52%)로 매우 큰 폭으로 개선되었다. 여기서 Delta Vt는 P/E 3000회 진행한 소자의 Program 후 Vt와 Bake 후 Vt의 차이를 말한다.

이는 실험 계획 시 Charge Trap Nitride에 SiN 대비 High Conduction Band Barrier를 가지는 Al<sub>2</sub>O<sub>3</sub>를 삽입한 목적에 부합하고 개선 폭도 매우 커서 고무적인 결과라고 할 수 있다.

하지만 NCHTB 결과에서도 언급하였듯이 Charge Trap Nitride에 Al<sub>2</sub>O<sub>3</sub>를 삽입하였을 때 SiN/Al<sub>2</sub>O<sub>3</sub> 사이에서 SiN 대비 Deep Trap Level을 가지는 Mixed Phase가 형성되어 PCHTB 특성이 개선되었을 가능성도 있기 때문에 추가적인 실험을 통해 개선 Mechanism을 확실히 할 필요가 있다.

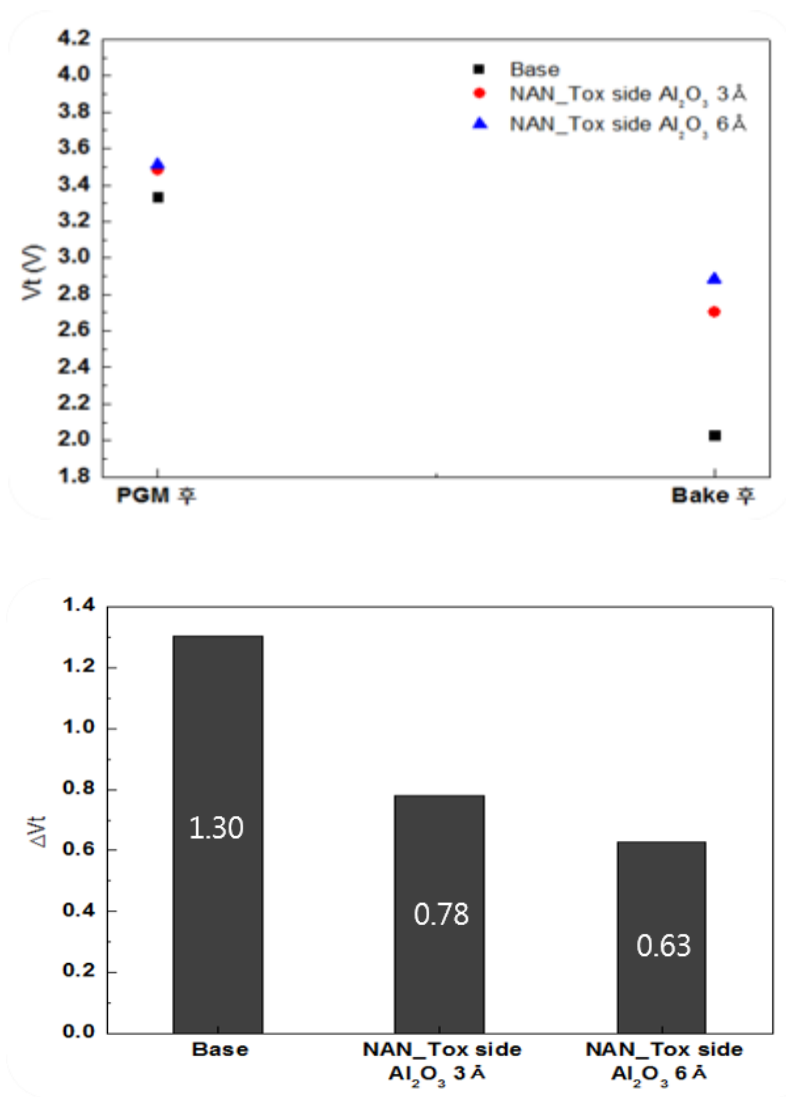


Figure 4-7. MAONOS 소자를 이용한 PCHTB (Post Cycling Hot Temperature Bake) 특성 평가 결과 그래프. P/E Cycling 3000회 + Program  $V_t$  3.5V Verify + 125C 10hr Bake 후 Program  $V_t$  변화 확인.



Planar CTF Device (Unit : V)	E/W+PGM	Bake	$\Delta V_t$
Base (Single N)	3.33	2.03	1.30
NAN_Tox side Al <sub>2</sub> O <sub>3</sub> 3Å	3.48	2.70	0.78
NAN_Tox side Al <sub>2</sub> O <sub>3</sub> 6Å	3.51	2.88	0.63

※ E/W 3K + Program Vt 3.5V verify + 125°C 10hr bake

Table 4-7. PCHTB (Posy Cycling Hot Temperature Bake) 특성 평가 결과

수치 Table.

## 4.3 Charge Trap Nitride 내 $\text{Al}_2\text{O}_3$ 삽입 위치에 따른 Retention 특성 평가

### 4.3.1 시료 정보

$\text{Al}_2\text{O}_3$  층의 High Conduction Band Barrier에 의한 Charge Loss 억제  
가능성을 확인하기 위해 Charge Trap Nitride를 [Table 4-8]과 같이 나누어  
Planar Charge Trap Flash 소자를 제작하였다.

Split Table @ Planar CTF Device			Base	Split 1	Split 2	Split 3
Tunnel Oxide	SiO <sub>2</sub> 50Å		●	●	●	●
Charge Trap Layer	Single N	SiN 50Å	●			
	NAN	SiN 10Å / Al <sub>2</sub> O <sub>3</sub> 6Å / SiN 40Å		●		
		SiN 25Å / Al <sub>2</sub> O <sub>3</sub> 6Å / SiN 25Å			●	
		SiN 40Å / Al <sub>2</sub> O <sub>3</sub> 6Å / SiN 10Å				●
Blocking Oxide	SiO <sub>2</sub> 100Å		●	●	●	●
Post RTA	1000°C N <sub>2</sub> 15sec		●	●	●	●

√ Tunnel Oxide (SiO<sub>2</sub>) : Atomic Layer Deposition

√ Charge Trap Layer (SiN) : Chemical Vapor Deposition

√ Charge Trap Layer (Al<sub>2</sub>O<sub>3</sub>) : Atomic Layer Deposition

√ Blocking Oxide (SiO<sub>2</sub>) : Radical oxidation

Table 4-8. Charge Trap Nitride 내 Al<sub>2</sub>O<sub>3</sub> 삽입 위치에 따른 Retention

특성 평가 실험 Split Table.

### 4.3.2 Retention 특성 (@NCHTB) 평가 결과

Charge Trap Nitride 대비 높은  $\text{Al}_2\text{O}_3$ 의 Conduction Band Barrier가 Trap Site에 Trapping되어있던 전자가 Thermal Excitation & Drift되어 빠져나가는 것을 억제하여 Retention 특성이 개선될 가능성을 증명하기 위해 Planar Charge Trap Flash 소자를 이용해 아래와 같은 추가 실험을 진행하였다.

[Figure 4-8]과 같이 Charge Trap Nitride 내의  $\text{Al}_2\text{O}_3$  삽입 위치를 ‘Tunneling Oxide 방향’, ‘Center’, ‘Blocking Oxide 방향’ 로 나누어 NCHTB 특성 평가를 진행하였다.

이렇게 실험을 진행한 이유는 만약 Charge Trap Nitride 대비 높은  $\text{Al}_2\text{O}_3$ 의 Conduction Band Barrier가 Charge Loss에 취약한 Tunneling Oxide 방향으로 빠져나가는 전자를 막아주어 NCHTB 특성이 개선되는 것이라면, Tunneling Oxide에 가깝게  $\text{Al}_2\text{O}_3$  층을 삽입하였을 때 [Figure 4-8]의 (a)와 같이 막아줄 수 있는 Charge Trap Nitride 영역이 넓어지기

때문에 NCHTB 특성 개선 폭이 가장 클 것이라고 판단하였기 때문이다.

위 가정을 토대로 NCHTB 개선 폭은 ‘Tunneling Oxide 방향’ > ‘Center’ >

‘Blocking Oxide 방향’ 순으로 예상해 볼 수 있다.

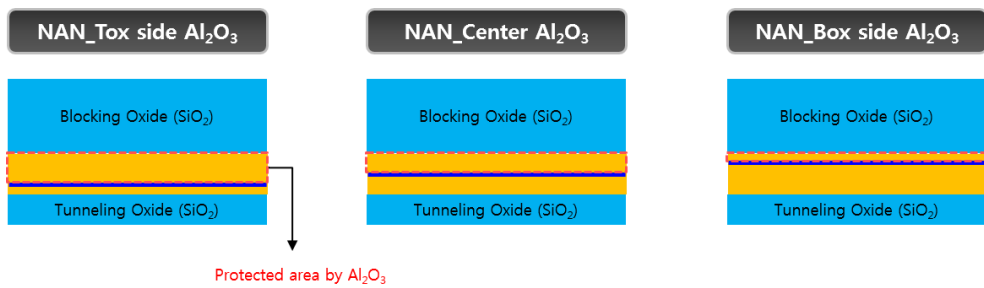


Figure 4-8. Charge Trap Nitride 내  $\text{Al}_2\text{O}_3$  삽입 위치에 따른 Retention

특성 평가 실험 계획. (a) ‘Tunneling Oxide 방향’ 로  $\text{Al}_2\text{O}_3$  삽입 (b) Center에  $\text{Al}_2\text{O}_3$  삽입 (c) ‘Blocking Oxide 방향’ 로  $\text{Al}_2\text{O}_3$  삽입.

평가 방법은 앞선 실험과 동일하게 P/E Cycling을 진행하지 않은 소자의  $V_t$ 를 3.5V로 맞추고 125C 10hr Bake를 진행한 후의  $V_t$ 를 측정하여 그 차이를 통해 Charge Loss를 판단하는 방식이다.

평가 결과는 [Table 4-9], [Figure 4-9]와 같이 예상했던 것과 정확히 일치하였다.

Charge Trap Nitride 내에서 Tunneling Oxide에 가깝게  $Al_2O_3$  층을 삽입하면 할수록 Charge Loss가 더 줄어드는 것을 확인하였다. 즉, Tunneling Oxide에 가깝게  $Al_2O_3$  층을 삽입하면 할수록 NCHTB 특성이 더 개선되는 것이다. 개선 폭도  $Al_2O_3$  삽입 위치에 비례하는 결과를 얻었다.

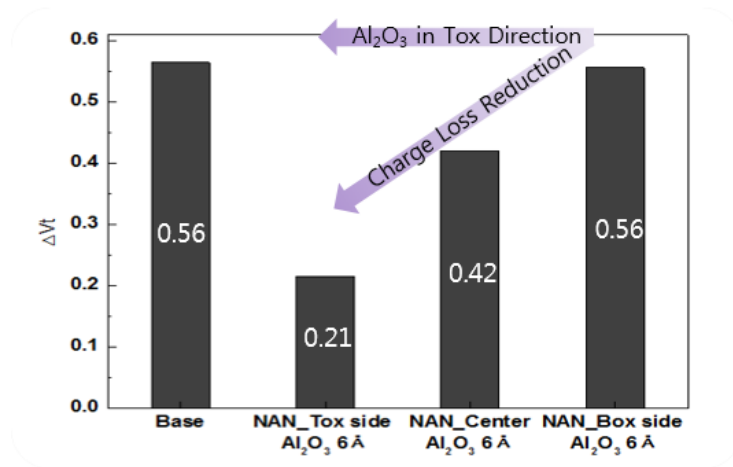
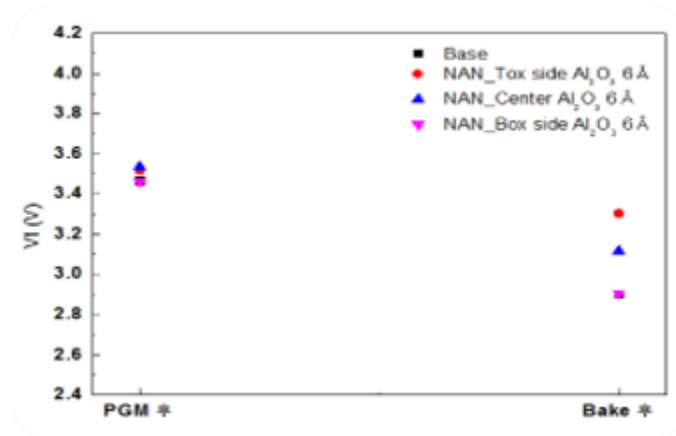


Figure 4-9. MAONOS 소자를 이용한 NCHTB (No Cycling Hot Temperature Bake) 특성 평가 결과 그래프. P/E Cycling 0회 + Program  $V_t$  3.5V Verify + 125C 10hr Bake 후 Program  $V_t$  변화 확인.



Planar CTF Device (Unit : V)	PGM	Bake	$\Delta V_t$
Base (Single N)	3.47	2.90	0.56
NAN_Tox side Al <sub>2</sub> O <sub>3</sub> 6Å	3.52	3.30	0.21
NAN_Center Al <sub>2</sub> O <sub>3</sub> 6Å	3.54	3.12	0.42
NAN_Box side Al <sub>2</sub> O <sub>3</sub> 6Å	3.46	2.91	0.56

※ Program Vt 3.5V verify + 125°C 10hr bake

Table 4-9. NCHTB (No Cycling Hot Temperature Bake) 특성 평가 결과

수치 Table.

### 4.3.3 Retention 특성 (@PCHTB) 평가 결과

NCHTB 특성 평가와 동일하게 Charge Trap Nitride 내의  $\text{Al}_2\text{O}_3$  삽입 위치를 ‘Tunneling Oxide 방향’, ‘Center’, ‘Blocking Oxide 방향’ 로 나누어 PCHTB 특성 평가를 진행하였다.

이렇게 실험을 진행한 이유는 만약 Charge Trap Nitride 대비 높은  $\text{Al}_2\text{O}_3$ 의 Conduction Band Barrier가 Charge Loss에 취약한 Tunneling Oxide 방향으로 빠져나가는 전자를 막아주어 PCHTB 특성이 개선되는 것이라면, Tunneling Oxide에 가깝게  $\text{Al}_2\text{O}_3$  층을 삽입하였을 때 [Figure 5-3]의 (a)와 같이 막아줄 수 있는 Charge Trap Nitride 영역이 넓어지기 때문에 NCHTB 특성 개선 폭이 가장 클 것이라고 판단하였기 때문이다. 위 가정을 토대로 PCHTB 개선 폭은 ‘Tunneling Oxide 방향’ > ‘Center’ > ‘Blocking Oxide 방향’ 순으로 예상해 볼 수 있다.

평가 방법은 앞선 실험과 동일하게 P/E Cycling을 3000회 진행한

소자의  $V_t$ 를 3.5V로 맞추고 125C 10hr Bake를 진행한 후의  $V_t$ 를 측정하여 그 차이를 통해 Charge Loss를 판단하는 방식이다.

PCHTB 평가 결과 역시 [Table 4-10], [Figure 4-10]과 같이 예상했던 것과 정확히 일치하였다.

Charge Trap Nitride 내에서 Tunneling Oxide에 가깝게  $Al_2O_3$  층을 삽입하면 할수록 Charge Loss가 더 줄어드는 것을 확인하였다. 즉, Tunneling Oxide에 가깝게  $Al_2O_3$  층을 삽입하면 할수록 PCHTB 특성이 더 개선되는 것이다. 개선 폭도  $Al_2O_3$  삽입 위치에 비례하는 결과를 얻었다.

추가적인 실험적 검증을 통해서 Charge Trap Nitride 대비 높은  $Al_2O_3$ 의 Conduction Band Barrier에 의해 Thermal Excitation & Drift 되어 빠져나가는 전자를 막아 줌으로써 Retention 특성이 개선되었다는 것을 증명하였다.

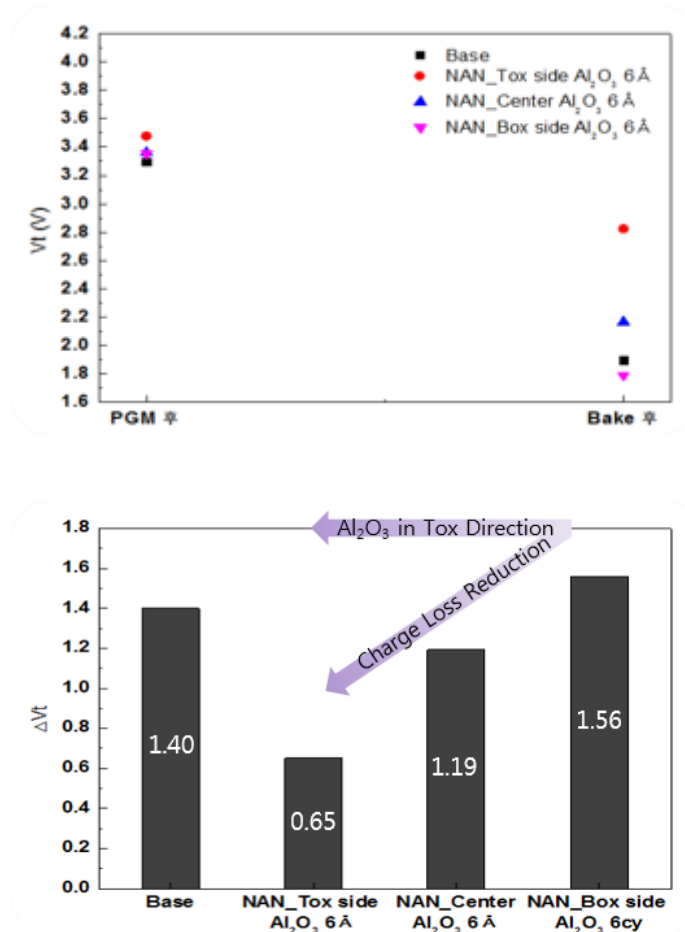


Figure 4-10. MONOS 소자를 이용한 PCHTB (Post Cycling Hot Temperature Bake) 특성 평가 결과 그래프. P/E Cycling 3000회 + Program  $V_t$  3.5V Verify + 125C 10hr Bake 후 Program  $V_t$  변화 확인.

Planar CTF Device (Unit : V)	E/W+PGM	Bake	$\Delta V_t$
Base (Single N)	3.29	1.90	1.40
NAN_Tox side Al <sub>2</sub> O <sub>3</sub> 6Å	3.48	2.83	0.65
NAN_Center Al <sub>2</sub> O <sub>3</sub> 6Å	3.36	2.17	1.19
NAN_Box side Al <sub>2</sub> O <sub>3</sub> 6Å	3.35	1.79	1.56

※ E/W 3K + Program Vt 3.5V verify + 125°C 10hr bake

Table 4-10. PCHTB (Post Cycling Hot Temperature Bake) 특성 평가

결과 수치 Table.

## 5. 결론

일반적으로 Charge Trap Flash에서는 Charge Trap Nitride의 조성 조절을 통한 Trap Level 변화(Shallow → Deep)로 Retention 특성을 개선한다. 하지만 이는 Memory Window 열화를 동반하기 때문에 바람직한 방법이 아니다 [31]. 본 실험에서는 Charge Trap Nitride의 조성은 유지하면서 매우 얇은 High Conduction Band Barrier Layer 삽입을 통해 Retention 특성을 개선하려고 하였고 그 결과, Retention 특성이 매우 크게 개선되었다. 특히 유전율이 높은  $\text{Al}_2\text{O}_3$ 를 High Conduction Band Barrier Layer로 사용함으로써 Program 동작 (Gate High Bias) 시에는 Tunnel Barrier Width를 최소화하여 Program 속도 열화를 막고, Retention 동작 (Gate No Bias) 시에는 Tunnel Barrier Width를 충분히 확보하여 Charge Loss를 억제하였다는 점에서 실험의 큰 의의를 둘 수 있다고 생각한다.

하지만, Valence Band Barrier까지 높아지면서 정공의 유입에 의한 Erase 감소로 인해 Erase Saturation  $V_t$ 가 열화 된 점에 대해서는 추가적인

고민이 필요하다. Tunneling Oxide/Charge Trap Nitride/Blocking Oxide의 두께 조합 비율 변경을 통해 Retention 개선 폭의 감소는 최소화하면서 Erase Saturation  $V_t$ 는 개선할 수 있는 실험을 해보는 것이 하나의 방법이 되겠다.

## 6. 참고문헌

- [1] W. D. Brown and J. E. Brewer, *Nonvolatile Semiconductor Memory Technology: A Comprehensive Guide to Understanding and Using NVSM Devices*. Piscataway, NJ: IEEE Press, 1998.
- [2] K. Kim, “Technology for sub-500-nm DRAM AND NAND flash manufacturing,” in *IEDM Tech. Dig.*, 2005, pp. 323-326.
- [3] K. Kim, J. H. Choi, J. Choi, and H. S. Jeong, “The future prospect of nonvolatile memory,” in *VLSI-TSA Symp. Tech. Dig.*, 2005, pp. 89-94.
- [4] D. Kwak, J. Park, K. Kim, Y. Yim, S. Ahn, Y. Park, J. Kim, W. Jeong, J. Kim, M. Park, B. Yoo, S. Song, H. Kim, J. Sim, S. Kwon, B. Hwang, H. Park, S. Kim, Y. Lee, H. Shin, N. Yim, K. Lee, M. Kim, Y. Lee, J. Park, S. Park, J. Jung, and K. Kim, “Integration technology of 30-nm generation multi level NAND flash for 64-Gb NAND flash memory,” in *VLSI Symp. Tech. Dig.*, 2007, pp. 12-13.
- [5] M. Park, K. Kim, J. H. Park, and J. H. Choi, “Direct field effect of neighboring cell transistor on cell-to-cell interference of NAND flash cell arrays,” *IEEE Electron Device Lett.*, vol. 30, no. 2, pp. 174-177, Feb. 2009.
- [6] Jaehoon Jang, Han-Soo Kim, Wonseok Cho, Hoosung Cho, Jinho Kim, Sun Il Shim, Younggoan Jang, Jae-Hun Jeong, Byoung-Keun Son, Dong Woo Kim, Kihyun Kim, Jae-Joo Shim, Jin Soo Lim, Kyoung-Hoon Kim, Su Youn Yi, Ju-Young Lim,



Dewill Chung, Hui-Chang Moon, Sungmin Hwang, Jong-Wook Lee\*, Yong-Hoon Son\*, U-In Chung\* and Won-Seong Lee Advanced Technology Development Team 2&Process Development Team\*, Memory R&D Center, Memory Division, Samsung Electronics Co. Ltd., San #24 Nongseo-Dong, Giheung-Gu, Yongin-City, Gyeonggi-Do, 449-711, Korea, “Vertical Cell Array using TCAT(Terabit Cell Array Transistor) Technology for Ultra High Density NAND Flash Memory,” *VLSI Technology*, 2009 Symposium on

Tel) + 82-31-209-7228, E-Mail) jaehoon.jang@samsung.com

[7] Yu Wang \*, Marvin H. White, ” An analytical retention model for SONOS nonvolatile memory devices in the excess electron state,” *Solid-State Electronics* 49 (2005) 97–107.

[8] Noboru Shibata, Hiroshi Maejima, Katsuaki Isobe, Kiyoaki Iwasa, Michio Nakagawa, Masaki Fujiu, Takahiro Shimizu, Mitsuaki Honma, Satoru Hoshi, Toshimasa Kawaai, Kazunori Kanebako, Susumu Yoshikawa, Hideyuki Tabata, Atsushi Inoue, Toshiyuki Takahashi, Toshifumi Shano, Yukio Komatsu, Katsushi Nagaba, Mitsuhiko Kosakai, Noriaki Motohashi, Kazuhisa Kanazawa, Kenichi Imamiya, Hiroto Nakai, Menahem Lasser, Mark Murin, Avraham Meir (Poza), Arik Eyal, and Mark Shlick, “A 70 nm 16 Gb 16-Level-Cell NAND flash Memory,” *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 43, NO. 4, APRIL 2008

[9] Lundkvist L, Lundstrom I, Svensson C. Discharge of MNOS structures. *Solid*

*State Electron* 1973;16(7):811–23.

[10] Roy A, White MH., “Determination of the trapped charge distribution in scaled silicon nitride MONOS nonvolatile memory devices by tunneling spectroscopy,”

*Solid State Electron* 1991;34(10):1083–9.

[11] Hu Y, White MH., “Charge retention in scaled SONOS nonvolatile semiconductor memory devices-modeling and characterization,” *Solid State Electron* 1993;36(10):1401.

[12] White MH, Cricchi JR., “Characterization of thin-oxide MNOS memory transistors,” *IEEE Trans Electron Dev* 1972;ED-19(12):1280–8.

[13] Lehovec K, Fedotowsky A., “Charge retention of MNOS devices limited by Frenkel–Poole detrapping,” *Appl Phys Lett* 1978;32(5):335.

[14] Lundkvist L, Svensson C, Hansson B., “Discharge of MNOS structures at elevated temperatures,” *Solid State Electron* 1976;19(3):221–7.

[15] Yang Y, White MH., “Charge retention of scaled SONOS nonvolatile memory devices at elevated temperatures,” *Solid State Electron* 2000;44:949–58.

[16] Chung SS et al., “A novel leakage current separation technique in a direct

tunneling regime gate oxide SONOS memory cell,” In: 2003 *IEEE International Electron Devices Meeting (IEDM)*, Washington, DC, USA, Dec 2003. p. 617–20.

[17] Wang Y, White MH., “An analytical retention model for SONOS nonvolatile memory devices in the excess electron state,” In: 2003 *International Semiconductor Device Research Symposium (ISDRS)*, Washington, DC, USA, December 2003.

[18] Wrazien SJ et al., “Characterization of SONOS oxynitride nonvolatile semiconductor memory devices,” *Solid State Electron* 2003;47:885–1.

[19] N. Mielke, T. Marquart, N. Wu, J. Kessenich, H. Belgal, E. Schares, F. Trivedi, E. Goodness, and L. R. Nevill, “Bit error rate in NAND flash memories,” in *Proc. Int. Rel. Phys. Symp.*, 2008, pp. 10–19.

[20] S. C. Everist, S. L. Miller, and P. J. McWhorter, “Modeling the cycling degradation of silicon-oxide-nitride-oxide-semiconductor transistors,” *Appl. Phys. Lett.*, vol. 60, no. 17, pp. 2101–2103, Apr. 1992.

[21] M. Boutchich, D. S. Golubovic, N. Akil, and M. van Duuren, “Evaluation of layered tunnel barrier charge trapping devices for embedded nonvolatile memories,” *Microelectron. Eng.*, vol. 87, no. 1, pp. 41–46, Jan. 2010. DOI:10.1016/j.mee.2009.05.019.

[22] H.-T. Lue, S.-Y. Wang, E.-K. Lai, Y.-H. Shih, S.-C. Lai, L.-W. Yang, K.-C. Chen, J. Ku, K.-Y. Hsieh, R. Liu, and C.-Y. Lu, “BE-SONOS: A bandgap engineered

SONOS with excellent performance and reliability,” in *IEDM Tech. Dig.*, 2005, pp. 547–550.

[23] C. Sandhya, Student Member, IEEE, Apoorva B. Oak, Nihit Chattar, Udayan Ganguly, C. Olsen, S. M. Seutter, L. Date, R. Hung, Juzer Vasi, Fellow, IEEE, and Souvik Mahapatra, Senior Member, IEEE, “Study of P/E Cycling Endurance Induced Degradation in SANOS Memories Under NAND (FN/FN) Operation,” *IEEE TRANSACTIONS ON ELECTRON DEVICES*, VOL. 57, NO. 7, JULY 2010.

[24] D. J. DiMaria and J. H. Stathis, “Anode hole injection, defect generation, and breakdown in ultrathin silicon dioxide films,” *J. Appl. Phys.*, vol. 89, no. 9, pp. 5015–5024, May 2001.

[25] M. A. Alam, J. Bude, and A. Ghetti, “Field acceleration for oxide breakdown—Can an accurate anode hole injection model resolve the E vs. 1/E controversy?” in *Proc. IRPS*, 2000, pp. 21–26.

[26] T. Sugizaki, M. Kohayashi, M. Ishidao, H. Minakata, M. Yamaguchi, Y. Tamura, Y. Sugiyama, T. Nakanishi, and H. Tanaka, “Novel multibit SONOS type flash memory using a high-k charge trapping layer,” in *VLSI Symp. Tech. Dig.*, 2003, pp. 27–28.

[27] French ML, White MH., “Scaling of multielectric nonvolatile SONOS Memory Structures,” *Solid State Electron* 1994;37(12):1913–23.

- [28] Bu J, White MH., “Design considerations in scaled SONOS nonvolatile memory devices,” *Solid State Electron* 2001;45:113–20.
- [29] H. Bachhofer, H. Reisinger, E. Bertagnolli, and H. von Philipsborn, “Transient conduction in multielectric silicon–oxide–nitride–oxide semiconductor structures,” *J. Appl. Phys.*, vol. 89, no. 5, pp. 2791–2800, Mar. 2001.
- [30] P.-Y. Du, H.-T. Lue, S.-Y. Wang, E.-K. Lai, T.-Y. Huang, K.-Y. Hsieh, R. Liu, and C.-Y. Lu, “Study of the erase mechanism of charge-trapping devices using the gate-sensing and channel-sensing(GSCS) method: Hole injection or electron detrapping?” in *Proc. Int. Rel. Phys. Symp.*, 2008, pp. 399–405.
- [31] M. Tanaka, S. Saida, Y. Mitani, I. Mizushima, and Y. Tsunashima, “Highly reliable MONOS devices with optimized silicon nitride film having deuterium-terminated charge traps,” in *IEDM Tech. Dig.*, 2002, pp. 237–240.
- [32] T. H. Kim, I. H. Park, J. D. Lee, H. C. Shin, and B. G. Park, “Electron trap density distribution of Si-rich silicon nitride extracted using the modified negative charge decay model of silicon-oxide-nitride-oxide silicon structure at elevated temperatures,” *Appl. Phys. Lett.*, vol. 89, no. 6, pp. 063508-1–063508-3, Aug. 2006.
- [33] Miller SL, McWhorter PJ, Dellin TA, Zimmerman GT., “Effect of temperature on data retention of silicon–oxide–nitride–oxide–semiconductor nonvolatile memory transistors,” *J Appl Phys* 1990;67(11):7115–24.

[34] H. Belgal, N. Righos, I. Kalastirsky, J. Peterson, R. Shiner, and N. Mielke, “A new reliability model for postcycling charge retention of flash memories,” in *Proc. IRPS*, 2002, pp. 7–20.

## Abstract

In this study, the reliability of device is improved by inserting  $\text{Al}_2\text{O}_3$  layer with high conduction band barrier to SiN in SiN which is commonly used as Charge Trap Layer in Charge Trap Flash Memory.

Charge loss in Charge Trap Flash is mainly caused by thermal excitation & drift as a conduction band in the trap site, and relatively thin Tunneling Oxide compared to Blocking Oxide.

In order to improve the charge loss through Tunneling Oxide, very thin  $\text{Al}_2\text{O}_3$  layer was inserted in the Tunneling Oxide direction in Charge Trap Nitride, and the retention characteristic was greatly improved. The program rate deterioration which was concern was only about 100mV.

In this experiment, when program operation in which a high voltage is applied to the gate, the tunnel barrier width is minimized to prevent deterioration of the program speed. In the retention operation in which no voltage is applied to the gate, sufficient tunnel barrier width is secured.

In addition, TEM and TOF-SIMS analyzes of the SiN /  $\text{Al}_2\text{O}_3$  / SiN laminate samples confirmed that there was no mixed phase with a new trap level between SiN /  $\text{Al}_2\text{O}_3$  due to annealing process.

Retention characteristics were evaluated according to the insertion position of  $\text{Al}_2\text{O}_3$  layer. It is confirmed that the high conduction band barrier of  $\text{Al}_2\text{O}_3$  suppresses

electrons escaping to tunneling oxide direction by thermal excitation & drift.

In this study, we show that it is possible to improve the retention characteristics of Charge Trap Flash devices simply by inserting very thin  $\text{Al}_2\text{O}_3$  layers without changing the composition of Charge Trap Nitride.

Keywords : Non-volatile Memory, NAND Flash, Charge Trap Flash, Charge Trap Layer,  $\text{Al}_2\text{O}_3$ , Conduction Band, Program, Retention

Student number : 2016-27832

By Seok Min Jeon